

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi TERAUCHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING MEMORY CELL PORTION AND MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-116668	April 22, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月22日

出 願 番 号

Application Number:

特願2003-116668

[ST.10/C]:

[JP2003-116668]

出 願 人

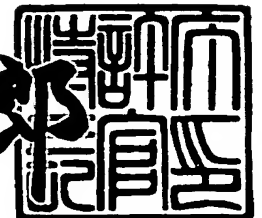
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046082

【書類名】 特許願
 【整理番号】 543341JP01
 【提出日】 平成15年 4月22日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/108
 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
 社内

【氏名】 寺内 崇

【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
 社内

【氏名】 白竹 茂

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 同一の半導体基板上にデータ保持部と、該データ保持部に連動して動作する周辺回路部とを備える半導体装置の製造方法であって、

(a) 前記半導体基板上の前記データ保持部および前記周辺回路部に、それぞれ上部がシリコン窒化膜で覆われたゲート配線を形成する工程と、

(b) 前記データ保持部および前記周辺回路部の前記ゲート配線の側面外方の前記半導体基板の表面内に、それぞれ第 1 の不純物領域を形成する工程と、

(c) 前記データ保持部および前記周辺回路部の前記ゲート配線の側面に、それぞれ第 1 のサイドウォール窒化膜を形成する工程と、

(d) 前記データ保持部および前記周辺回路部の前記第 1 のサイドウォール窒化膜の側面外方の前記半導体基板の表面内に、それぞれ第 2 の不純物領域を形成する工程と、

(e) 前記データ保持部上および前記周辺回路部上を覆う第 1 の層間絶縁膜を形成する工程と、

(f) 前記データ保持部上の前記層間絶縁膜を選択的に除去して、少なくとも前記第 1 および第 2 の不純物領域が形成された前記半導体基板の表面に達する第 1 の開口部を形成し、該第 1 の開口部に導電性シリコンを埋め込んでコンタクトプラグを形成する工程と、

(g) 前記コンタクトプラグの形成後、前記データ保持部上をレジストマスクで覆い、前記周辺回路部の前記第 1 の層間絶縁膜をウェットエッチングにより除去する工程と、

(h) 前記工程 (g) の後、前記周辺回路部において、少なくとも前記第 1 のサイドウォール窒化膜を有する前記ゲート配線を注入マスクとして、前記周辺回路部の前記半導体基板の表面内に第 3 の不純物注入を行い、前記第 1 および第 2 の不純物領域よりも不純物濃度が高い第 3 の不純物領域を形成する工程と、を備える、半導体装置の製造方法。

【請求項 2】 前記工程 (g) の後、前記工程 (h) に先だって、

(i)前記データ保持部および前記周辺回路部の全面に絶縁膜を形成した後、異方性エッチングにより少なくとも前記周辺回路部の前記絶縁膜を除去し、前記ゲート配線の前記第1のサイドウォール窒化膜の側面にサイドウォール絶縁膜を形成する工程をさらに備え、

前記工程(h)は、

前記周辺回路部の前記サイドウォール絶縁膜が形成された前記ゲート配線を注入マスクとして、前記第3の不純物注入を行う工程を含む、請求項1記載の半導体装置の製造方法。

【請求項3】 前記工程(h)の後に、

(j)少なくとも前記周辺回路部の前記第3の不純物領域が形成された前記半導体基板の表面にメタルシリサイド膜を形成する工程をさらに備える、請求項1記載の半導体装置の製造方法。

【請求項4】 前記工程(i)は、

前記データ保持部上の前記絶縁膜を、前記異方性エッチングに対して保護した状態で前記周辺回路部の前記絶縁膜を除去する工程を含み、

前記工程(h)の後に、

(j)前記周辺回路部の前記第3の不純物領域が形成された前記半導体基板の表面に、メタルシリサイド膜を形成する工程をさらに備える、請求項2記載の半導体装置の製造方法。

【請求項5】 前記工程(i)は、

前記データ保持部上の前記絶縁膜を、前記異方性エッチングにより併せて除去する工程を含み、

前記工程(h)の後に、

(j)前記データ保持部の全ての前記コンタクトプラグ上および前記周辺回路部の前記第3の不純物領域が形成された前記半導体基板の表面に、それぞれメタルシリサイド膜を形成する工程をさらに備える、請求項2記載の半導体装置の製造方法。

【請求項6】 前記工程(i)は、

前記絶縁膜をシリコン酸化膜で形成する工程を含み、

前記工程(j)の後に、

前記シリコン酸化膜をウェットエッチングにより除去し、前記データ保持部上および前記周辺回路部上を覆う第2の層間絶縁膜を形成する工程と、

前記データ保持部上および前記周辺回路部上の前記第2の層間絶縁膜を貫通して、それぞれ前記コンタクトプラグおよび前記メタルシリサイド膜に達するコンタクト開口部を自己整合的に形成する工程と、をさらに備える、請求項4記載の半導体装置の製造方法。

【請求項7】 前記工程(i)は、

前記絶縁膜をシリコン酸化膜で形成する工程を含み、

前記工程(j)の後に、

前記シリコン酸化膜をウェットエッチングにより除去し、前記データ保持部上および前記周辺回路部上を覆う第2の層間絶縁膜を形成する工程と、

前記データ保持部上および前記周辺回路部上の前記第2の層間絶縁膜を貫通して、それぞれ、前記メタルシリサイド膜に達するコンタクト開口部を自己整合的に形成する工程と、をさらに備える、請求項5記載の半導体装置の製造方法。

【請求項8】 前記工程(i)は、

前記絶縁膜をシリコン窒化膜で形成する工程を含み、

前記工程(j)の後に、

前記データ保持部上および前記周辺回路部上を覆う第2の層間絶縁膜を形成する工程と、

前記データ保持部上および前記周辺回路部上の前記第2の層間絶縁膜を貫通して、それぞれ前記コンタクトプラグおよび前記メタルシリサイド膜に達するコンタクト開口部を自己整合的に形成する工程と、をさらに備える、請求項4記載の半導体装置の製造方法。

【請求項9】 前記工程(i)は、

前記絶縁膜をシリコン窒化膜で形成する工程を含み、

前記工程(j)の後に、

前記データ保持部上および前記周辺回路部上を覆う第2の層間絶縁膜を形成する工程と、

前記データ保持部上および前記周辺回路部上の前記第 2 の層間絶縁膜を貫通して、それぞれ前記メタルシリサイド膜に達するコンタクト開口部を自己整合的に形成する工程と、をさらに備える、請求項 5 記載の半導体装置の製造方法。

【請求項 1 0】 前記工程 (i) は、

前記絶縁膜を、シリコン窒化膜上にシリコン酸化膜が配設された 2 層膜で形成する工程を含み、前記サイドウォール絶縁膜は、サイドウォール窒化膜とサイドウォール酸化膜との 2 層膜で構成され、

前記工程 (j) の後に、

前記シリコン酸化膜をウエットエッチングにより除去し、前記データ保持部上および前記周辺回路部上を覆う第 2 の層間絶縁膜を形成する工程と、

前記データ保持部上および前記周辺回路部上の前記第 2 の層間絶縁膜を貫通して、それぞれ前記コンタクトプラグおよび前記メタルシリサイド膜に達するコンタクト開口部を自己整合的に形成する工程と、をさらに備える、請求項 4 記載の半導体装置の製造方法。

【請求項 1 1】 前記工程 (f) は、

前記コンタクトプラグを、前記データ保持部と前記周辺回路部との境界部にも形成する工程を含む、請求項 1 記載の半導体装置の製造方法。

【請求項 1 2】 同一の半導体基板上にデータ保持部と、該データ保持部に連動して動作する周辺回路部とを備える半導体装置であって、

前記半導体基板上の前記データ保持部および前記周辺回路部にそれぞれ配設され、上部がシリコン窒化膜で覆われたゲート配線と、

前記データ保持部および前記周辺回路部の前記ゲート配線の側面にそれぞれ配設された第 1 のサイドウォール窒化膜と、

前記データ保持部および前記周辺回路部のそれぞれの前記ゲート配線の側面外方の前記半導体基板の表面内に選択的に配設された第 1 および第 2 の不純物領域と、

前記周辺回路部の前記ゲート配線の前記第 1 のサイドウォール窒化膜の側面に配設されたサイドウォール絶縁膜と、

前記データ保持部上に設けられた第 1 の層間絶縁膜を貫通して、前記第 1 およ

び第 2 の不純物領域が形成された前記半導体基板の表面に達する導電性シリコンで構成されるコンタクトプラグと、

前記周辺回路部の前記サイドウォール絶縁膜の側面外方の前記半導体基板の表面内に選択的に配設された、前記第 1 および第 2 の不純物領域よりも不純物濃度が高い第 3 の不純物領域と、

前記データ保持部の全ての前記コンタクトプラグ上および前記周辺回路部の前記第 3 の不純物領域が形成された前記半導体基板の表面に配設されたメタルシリサイド膜と、を備える半導体装置。

【請求項 1 3】 同一の半導体基板上にデータ保持部と、該データ保持部に連動して動作する周辺回路部とを備える半導体装置であって、

前記半導体基板上の前記データ保持部および前記周辺回路部にそれぞれ配設され、上部がシリコン窒化膜で覆われたゲート配線と、

前記データ保持部および前記周辺回路部の前記ゲート配線の側面にそれぞれ配設された第 1 のサイドウォール窒化膜と、

前記データ保持部および前記周辺回路部のそれぞれの前記ゲート配線の側面外方の前記半導体基板の表面内に選択的に配設された第 1 および第 2 の不純物領域と、

前記周辺回路部の前記ゲート配線の前記第 1 のサイドウォール窒化膜の側面に配設されたサイドウォール絶縁膜と、

前記データ保持部上に設けられた第 1 の層間絶縁膜を貫通して、前記第 1 および第 2 の不純物領域が形成された前記半導体基板の表面に達する導電性シリコンで構成されるコンタクトプラグと、

前記周辺回路部の前記サイドウォール絶縁膜の側面外方の前記半導体基板の表面内に選択的に配設された、前記第 1 および第 2 の不純物領域よりも不純物濃度が高い第 3 の不純物領域と、

前記周辺回路部の前記第 3 の不純物領域が形成された前記半導体基板の表面にのみ配設されたメタルシリサイド膜と、を備える半導体装置。

【請求項 1 4】 前記サイドウォール絶縁膜は、第 2 のサイドウォール窒化膜である、請求項 1 2 または請求項 1 3 記載の半導体装置。

【請求項 1 5】 前記データ保持部の前記第 1 の層間絶縁膜上および前記周辺回路部上を覆うように配設された第 2 の層間絶縁膜と、

前記データ保持部の前記第 1 の層間絶縁膜上および前記周辺回路部上の前記第 2 の層間絶縁膜を貫通して自己整合的に形成され、それぞれ前記メタルシリサイド膜に達するビット線コンタクトと、をさらに備える、請求項 1 2 記載の半導体装置。

【請求項 1 6】 前記データ保持部上および前記周辺回路部上を覆うように配設された第 2 の層間絶縁膜と、

前記データ保持部上および前記周辺回路部上の前記第 2 の層間絶縁膜を貫通して自己整合的に形成され、それぞれ前記コンタクトプラグおよび前記メタルシリサイド膜に達するビット線コンタクトと、をさらに備える、請求項 1 3 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置に関し、特にメモリセル部を有する半導体装置に関する。

【0 0 0 2】

【従来の技術】

近年、半導体装置の集積度が向上し、特に、半導体記憶装置においてはメモリセルが微細化されるに伴い、配線とショートさせることなく配線間にコンタクト部を形成することが困難になってきている。

【0 0 0 3】

ここで、配線とショートさせることなくコンタクト部を形成するために、セルフアライン法と称される手法が採られることが多い。セルフアライン法により形成されたコンタクト部は、自己整合コンタクト（SAC : Self Aligned Contact）と称される。

【0 0 0 4】

メモリセル部では、ショートマージンを上げるために、コンタクト部の形状を、ホール形状ではなく、バータップやラインタイプと称される開口率の大きな

エッチングマスクを用いてSACエッチングを行い、かつ化学機械研磨（CMP：Chemical Mechanical Polishing）技術を併用してコンタクト部を形成することが一般的になっている。

【0005】

例えば、特許文献1にセルフアライン法を用いてコンタクト部を形成する手法の一例が挙げられている。

【0006】

【特許文献1】

特開平6-216333号公報（第4欄、図3、4）

【0007】

【発明が解決しようとする課題】

特許文献1に開示されているように、メモリセル部のトランジスタおよび周辺回路部のトランジスタは同時に形成するので、メモリセル部における層間絶縁膜の埋め込み特性向上のための熱処理、およびリフレッシュ特性改善のための熱処理が周辺回路部のトランジスタにもかかってしまい、不純物を高濃度に必要とする周辺回路部のトランジスタのソース・ドレイン領域において不純物の熱拡散が発生し、周辺回路部のトランジスタのパンチスルーマージンが減少する可能性があった。

【0008】

また、集積度の向上に伴い、これまでは適用されていなかった周辺回路部においてもSACエッチングが必要となりつつあり、半導体装置の微細化が進むにつれて、周辺回路部においてもショートマージンの確保および電流駆動能力の向上などが要求される傾向にある。

【0009】

本発明は上記のような問題点を解消するためになされたもので、メモリセル部および周辺回路部を有する半導体装置において、周辺回路部のトランジスタのパンチスルーマージンの減少を抑制するとともに、ショートマージンの確保および電流駆動能力を向上した半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明に係る請求項 1 記載の半導体装置の製造方法は、同一の半導体基板上にデータ保持部と、該データ保持部に連動して動作する周辺回路部とを備える半導体装置の製造方法であって、以下の工程(a)～(h)を備えている。すなわち、前記半導体基板上の前記データ保持部および前記周辺回路部に、それぞれ上部がシリコン窒化膜で覆われたゲート配線を形成する工程(a)と、前記データ保持部および前記周辺回路部の前記ゲート配線の側面外方の前記半導体基板の表面内に、それぞれ第 1 の不純物領域を形成する工程(b)と、前記データ保持部および前記周辺回路部の前記ゲート配線の側面に、それぞれ第 1 のサイドウォール窒化膜を形成する工程(c)と、前記データ保持部および前記周辺回路部の前記第 1 のサイドウォール窒化膜の側面外方の前記半導体基板の表面内に、それぞれ第 2 の不純物領域を形成する工程(d)と、前記データ保持部上および前記周辺回路部上を覆う第 1 の層間絶縁膜を形成する工程(e)と、前記データ保持部上の前記層間絶縁膜を選択的に除去して、少なくとも前記第 1 および第 2 の不純物領域が形成された前記半導体基板の表面に達する第 1 の開口部を形成し、該第 1 の開口部に導電性シリコンを埋め込んでコンタクトプラグを形成する工程(f)と、前記コンタクトプラグの形成後、前記データ保持部上をレジストマスクで覆い、前記周辺回路部の前記第 1 の層間絶縁膜をウェットエッチングにより除去する工程(g)と、前記工程(g)の後、前記周辺回路部において、少なくとも前記第 1 のサイドウォール窒化膜を有する前記ゲート配線を注入マスクとして、前記周辺回路部の前記半導体基板の表面内に第 3 の不純物注入を行い、前記第 1 および第 2 の不純物領域よりも不純物濃度が高い第 3 の不純物領域を形成する工程(h)とを備えている。

【0011】

本発明に係る請求項 1 2 記載の半導体装置は、同一の半導体基板上にデータ保持部と、該データ保持部に連動して動作する周辺回路部とを備える半導体装置であって、前記半導体基板上の前記データ保持部および前記周辺回路部にそれぞれ配設され、上部がシリコン窒化膜で覆われたゲート配線と、前記データ保持部および前記周辺回路部の前記ゲート配線の側面にそれぞれ配設された第 1 のサイドウォール窒化膜と、前記データ保持部および前記周辺回路部のそれぞれの前記ゲ

ート配線の側面外方の前記半導体基板の表面内に選択的に配設された第1および第2の不純物領域と、前記周辺回路部の前記ゲート配線の前記第1のサイドウォール窒化膜の側面に配設されたサイドウォール絶縁膜と、前記データ保持部上に設けられた第1の層間絶縁膜を貫通して、前記第1および第2の不純物領域が形成された前記半導体基板の表面に達する導電性シリコンで構成されるコンタクトプラグと、前記周辺回路部の前記サイドウォール絶縁膜の側面外方の前記半導体基板の表面内に選択的に配設された、前記第1および第2の不純物領域よりも不純物濃度が高い第3の不純物領域と、前記データ保持部の全ての前記コンタクトプラグ上および前記周辺回路部の前記第3の不純物領域が形成された前記半導体基板の表面に配設されたメタルシリサイド膜とを備えている。

【0012】

本発明に係る請求項13記載の半導体装置は、同一の半導体基板上にデータ保持部と、該データ保持部に連動して動作する周辺回路部とを備える半導体装置であって、前記半導体基板上の前記データ保持部および前記周辺回路部にそれぞれ配設され、上部がシリコン窒化膜で覆われたゲート配線と、前記データ保持部および前記周辺回路部の前記ゲート配線の側面にそれぞれ配設された第1のサイドウォール窒化膜と、前記データ保持部および前記周辺回路部のそれぞれの前記ゲート配線の側面外方の前記半導体基板の表面内に選択的に配設された第1および第2の不純物領域と、前記周辺回路部の前記ゲート配線の前記第1のサイドウォール窒化膜の側面に配設されたサイドウォール絶縁膜と、前記データ保持部上に設けられた第1の層間絶縁膜を貫通して、前記第1および第2の不純物領域が形成された前記半導体基板の表面に達する導電性シリコンで構成されるコンタクトプラグと、前記周辺回路部の前記サイドウォール絶縁膜の側面外方の前記半導体基板の表面内に選択的に配設された、前記第1および第2の不純物領域よりも不純物濃度が高い第3の不純物領域と、前記周辺回路部の前記第3の不純物領域が形成された前記半導体基板の表面にのみ配設されたメタルシリサイド膜とを備えている。

【0013】

【発明の実施の形態】

< A. 実施の形態 1 >

以下、図 1 ～図 2 4 を用いて本発明に係る実施の形態 1 について説明する。

< A - 1. 製造方法 >

製造工程を順に示す断面図である図 1 ～図 1 6 を用いて D R A M (Dynamic Random Access Memory) 1 0 0 の製造方法について説明する。なお、D R A M 1 0 0 の構造については最終工程を説明する図 1 6 に示す。

【 0 0 1 4 】

また、図 1 ～図 1 6 においては D R A M 1 0 0 のうち、メモリセル部およびメモリセル部の周辺に配設された周辺回路部（ロジック回路、センスアンプ、デコーダなどを含む）の構成を並べて示している。

【 0 0 1 5 】

まず、図 1 に示す工程において、シリコン基板などの半導体基板 1 を準備し、素子間分離のための素子分離酸化膜 2 を選択的に形成し活性領域を規定する。なお、素子分離酸化膜 2 は、熱酸化（L O C O S 酸化）あるいはトレンチに酸化膜を埋め込む手法（トレンチ分離）により形成する。

【 0 0 1 6 】

そして、活性領域（素子分離酸化膜 2 で規定される半導体基板 1 の領域）には、M O S トランジスタのウェル領域およびチャネル領域を形成するための不純物注入を行う。

【 0 0 1 7 】

その後、基板全面にシリコン酸化膜 3 を形成し、その上に導電性シリコン膜 4 、バリアメタル膜 5 、メタル配線膜 6 および保護絶縁膜 7 を順に積層する。なお、この積層膜はポリメタルゲートを想定したものであり、ポリサイドゲートの場合は、バリアメタル層 5 は省略でき、シリコン膜 4 の上にシリサイド膜を形成すれば良い。

【 0 0 1 8 】

ここで、シリコン酸化膜 3 は熱酸化膜、あるいは減圧 C V D 法および常圧 C V D 法を用いて形成したノンドープの堆積酸化膜であり、膜厚は 1 n m ～ 1 0 n m である。

【0019】

また、導電性シリコン膜4はCVD法で堆積した多結晶シリコンあるいはアモルファスシリコンで構成され、リン(P)、ヒ素(As)およびボロン(B)の何れかを含み、膜厚は20nm~150nmである。

【0020】

そして、バリアメタル膜5は窒化チタン(TiN)あるいは窒化タングステン(WN)等の高融点金属膜で構成され、膜厚は2nm~10nmである。

【0021】

また、メタル配線膜6はタングステン(W)等の高融点金属膜で構成され、膜厚は20nm~150nmである。

【0022】

なお、ポリサイドゲートの場合は、導電性シリコン膜4の上にタングステンシリサイド(WSi)などの金属シリサイド膜を形成し、その膜厚は20nm~150nmである。

【0023】

保護絶縁膜7は、シリコン酸化膜をRIE(Reactive Ion Etching)法等でドライエッチングする際に、シリコン酸化膜との選択比が得られる材質、例えば、CVD法で堆積したシリコン窒化膜(SiN)や酸窒化膜(SiON)あるいはこれらの多層膜、またはシリコン酸化膜とシリコン窒化膜との2層膜で構成され、膜厚は20nm~100nmである。

【0024】

次に、図2に示す工程において、保護絶縁膜7上に写真製版(フォトリソグラフィ)により所望のゲート配線パターンを形成するためのレジストマスク(図示せず)をパターニングし、RIE法等のエッチングにより、酸化シリコンに対するドライエッチングを行って、保護絶縁膜7をゲート配線パターンに合致するようにパターニングする。

【0025】

次に、保護絶縁膜7をエッチングマスクとして使用し、RIE法等のエッチングにより、メタルおよび多結晶シリコン(ポリシリコン)に対するドライエッチ

ングを行って、メタル配線膜 6、バリアメタル膜 5 および導電性シリコン膜 4 をゲート配線パターンに合致するようにパターニングする。これにより、メモリセル部においては、シリコン酸化膜 3 上に導電性シリコン膜 4 a、バリアメタル膜 5 a、メタル配線膜 6 a および保護絶縁膜 7 a で構成されるゲート配線 G 1 が形成され、周辺回路部においては、シリコン酸化膜 3 上に導電性シリコン膜 4 b、バリアメタル膜 5 b、メタル配線膜 6 b および保護絶縁膜 7 b で構成されるゲート配線 G 2 が形成される。

【0026】

この場合のエッチングには、シリコン酸化膜に対して選択比のあるエッチングを使用するので、シリコン酸化膜 3 が完全に除去されることはなく、半導体基板 1 上にシリコン酸化膜 3 が残る。なお、この後、リーク電流低減のために、半導体基板 1 上およびシリコン膜 4 の側壁に熱酸化により酸化膜を形成する場合もある。

【0027】

次に、ゲート配線 G 1 および G 2 を注入マスクとして、ドーズ量 $1 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ の不純物のイオン注入を行い、メモリセル部においてはソース・ドレイン領域 8 a (第 1 の不純物領域) を、周辺回路部においてはソース・ドレイン領域 8 b (第 1 の不純物領域) を形成する。この場合、Nチャネル MOS トランジスタを形成するには、リン (P) の場合は $10 \text{ keV} \sim 20 \text{ keV}$ のエネルギーで注入し、ヒ素 (As) の場合は $15 \text{ keV} \sim 30 \text{ keV}$ のエネルギーで注入し、Pチャネル MOS トランジスタを形成するには、2 フッ化ボロン (BF_2) を $5 \text{ keV} \sim 10 \text{ keV}$ のエネルギーで注入する。なお、ソース・ドレイン領域 8 a および 8 b は、ソース・ドレインエクステンション領域あるいは低ドープドレイン領域 (LDD 領域) とも呼称される領域である。

【0028】

次に、半導体基板 1 の全面に例えば CVD 法によって厚さ $5 \text{ nm} \sim 100 \text{ nm}$ のシリコン窒化膜を堆積した後、RIE 法等で異方性ドライエッチングを全面的に行うことで、図 3 に示すようにゲート配線 G 1 および G 2 の側壁に、それぞれサイドウォール窒化膜 9 a および 9 b (第 1 のサイドウォール窒化膜) を形成す

る。

【0029】

この場合のエッチングには、シリコン酸化膜に対して選択比のあるエッチングを使用するので、シリコン酸化膜3が完全に除去されることはない。

【0030】

なお、サイドウォール窒化膜9aおよび9bは、ゲート配線G1およびG2の側壁保護を目的として設けられ、シリコン酸化膜をRIE法等でドライエッチングする際に選択比を有する膜であればシリコン窒化膜に限定されるものではなく、例えば酸窒化膜でも良い。

【0031】

次に、図4に示す工程において、サイドウォール窒化膜9aおよび9bをそれぞれ有するゲート配線G1およびG2を注入マスクとして、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ の不純物のイオン注入を行い、メモリセル部においてはソース・ドレイン領域10a（第2の不純物領域）を、周辺回路部においてはソース・ドレイン領域10b（第2の不純物領域）を形成する。この場合、NチャネルMOSトランジスタを形成するには、リン（P）の場合は $20 \text{ keV} \sim 30 \text{ keV}$ のエネルギーで注入し、ヒ素（As）の場合は $30 \text{ keV} \sim 40 \text{ keV}$ のエネルギーで注入し、PチャネルMOSトランジスタを形成するには、2フッ化ボロン（ BF_2 ）を $10 \text{ keV} \sim 15 \text{ keV}$ のエネルギーで注入する。

【0032】

このように、サイドウォール窒化膜9aおよび9bを形成した後に不純物を注入することで、特にメモリセル部での接合緩和やトランジスタのショートチャネル効果の抑制などの効果が得られる。

【0033】

次に、図5に示す工程において、半導体基板1の保護を目的として、基板全面に厚さ $5 \text{ nm} \sim 50 \text{ nm}$ の絶縁膜11を堆積する。ここで絶縁膜11はシリコン酸化膜をRIE法等でドライエッチングする際に選択比を有する膜であり、例えばCVD法で堆積したシリコン窒化膜や酸窒化膜である。なお、絶縁膜11は必ずしも設けなくても良い。

【0034】

次に、図6に示す工程において、半導体基板1の全面に例えばCVD法によって厚さ300nm～1000nmの層間絶縁膜14（第1の層間絶縁膜）を堆積する。ここで、層間絶縁膜14としては、埋め込み特性や平坦性の良好な、リンやボロンをドーピングしたシリコン酸化膜（BPTEOSおよびPTEOSなど）を堆積する。そして、ゲート配線間の確実な埋め込み、および段差を低減して平坦化性を向上するために高温（800℃～1000℃）の熱処理を行う。

【0035】

次に、図7に示す工程において、コンタクトプラグを設ける場所に開口部OP1を有するレジストマスクRM1を層間絶縁膜14に形成する。

【0036】

そして、開口部OP1における層間絶縁膜14をRIE法等のドライエッチングにより除去し、コンタクト開口部16を形成する。このとき、シリコン窒化膜に対して選択比の大きなエッチングを行うことにより、保護膜である絶縁膜11（例えばシリコン窒化膜）が完全に除去されることを防止できる。

【0037】

ここで、メモリセル部におけるレジストマスクRM1の平面パターンの例を図17および図18に示す。なお、図17および図18にはレジストマスクRM1の一部だけを示している。

【0038】

図17に示すパターンはバータイプと称され、セルの最小単位の長さが、セルの平面配置における繰り返しパターンの半分長さに相当するハーフピッチセルの場合に適用される。

【0039】

また、図18に示すパターンはラインタイプと称され、セルの最小単位の長さが、セルの平面配置における繰り返しパターンの4分の1の長さに相当するクォーターピッチセルの場合に適用される。

【0040】

図17および図18において、並列に配設されたストライプ状の複数のゲート

配線 1 0 2 の隙間に活性領域 1 0 1 が存在し、コンタクトプラグを形成するためのレジストマスク 1 0 3 は、活性領域上であってもコンタクトプラグを形成しない部分の上にレジスト材 1 0 3 1 が配設され、その他の部分が開口部となっている。

【 0 0 4 1 】

なお、レジスト材 1 0 3 1 の平面形状は、図 1 7 においては幾つかのゲート配線 1 0 2 に跨るストライプ状をなし、図 1 8 においては全てのゲート配線 1 0 2 に跨るように連続した階段状をなしている。

【 0 0 4 2 】

ここで、図 1 7 および図 1 8 における A - A 線での矢示断面が図 7 に示すメモリセル部での断面図に対応する。

【 0 0 4 3 】

また、図 1 7 および図 1 8 におけるゲート配線 1 0 2 およびレジストマスク 1 0 3 は、それぞれ図 7 に示すゲート配線 G 1 およびレジストマスク R M 1 に相当する。

【 0 0 4 4 】

ここで、製造工程の説明に戻る。レジストマスク R M 1 を除去した後、図 8 に示す工程において、R I E 法等のドライエッチングを用いて、コンタクト開口部 1 6 内の絶縁膜 1 1 を除去する。このとき、コンタクト開口部 1 6 底部の絶縁膜 1 1 およびシリコン酸化膜 3 だけでなく、ゲート配線 G 1 を覆う絶縁膜 1 1 も除去するようにエッチング条件を設定するが、ゲート配線 G 1 は保護絶縁膜 7 a およびサイドウォール窒化膜 9 a で覆われているので、ゲート配線 G 1 を露出させることなく半導体基板 1 の主面を露出させることができる。また、このとき、ゲート配線 G 1 によって覆われるシリコン酸化膜 3 は除去されず、ゲート絶縁膜 3 a として残ることになる。

【 0 0 4 5 】

次に、図 9 に示す工程において、プラグ材となる導電性シリコン膜 1 7 を半導体基板 1 の全面に堆積し、コンタクト開口部 1 6 を埋め込む。導電性シリコン膜 1 7 は、例えば C V D 法で堆積した多結晶シリコンやアモルファスシリコンに、

PやAsをドーブしたものであり、その膜厚は100nm～400nmである。

【0046】

次に、図10に示す工程において、RIE法等のドライエッチングとCMP法等による研磨とを組み合わせ用い、ゲート配線G1およびG2の上面が露出するまで、導電性シリコン膜17、層間絶縁膜14および絶縁膜11を除去する。このことにより、コンタクトプラグ17aをゲート配線G1の間に形成することができる。

【0047】

この後、リフレッシュ特性向上のための高温（800℃～1000℃）の熱処理を行う。

【0048】

ここで、コンタクトプラグ17aが形成された状態でのメモリセル部の平面図を図19および図20に示す。

【0049】

なお、図19は図17を用いて説明したパーティブのパターンを有するレジストマスクを用いた場合の平面図であり、コンタクトプラグ104がゲート配線102の間に埋め込まれ、図17においてレジスト材1031を配設した部分には層間絶縁膜105が残っている。

【0050】

また、図20は図19を用いて説明したライトタイプのパターンを有するレジストマスクを用いた場合の平面図であり、コンタクトプラグ104がゲート配線102の間に埋め込まれ、図17においてレジスト材1031を配設した部分には層間絶縁膜105が残っている。

【0051】

なお、図19および図20におけるコンタクトプラグ104および層間絶縁膜105は、それぞれ図10に示すコンタクトプラグ17aおよび層間絶縁膜14に相当する。

【0052】

ここで、製造工程の説明に戻る。図11に示す工程において、写真製版により

メモリセル部だけを覆うレジストマスクRM2を形成し、周辺回路部の層間絶縁膜14を、HF（フッ酸）等の溶液を用いたウエットエッチングにより除去する。このとき、シリコン窒化膜で構成される絶縁膜11は除去されずに残る。

【0053】

ここで、レジストマスクRM2が形成された状態でのメモリセル部および周辺回路部の平面図を図21および図22に示す。

【0054】

図21は図19を用いて説明したメモリセル部をレジストマスクRM2で覆った状態を表し、図22は図20を用いて説明したメモリセル部をレジストマスクRM2で覆った状態を表している。

【0055】

また、図21および図22におけるB-B線およびC-C線での矢示断面を、それぞれ図23および図24に示す。

【0056】

図23および図24に示すように、周辺回路部はレジストマスクRM2で覆われていないのでエッチング溶液SLに接触するが、メモリセル部では、周辺回路部との境界部分においてゲート配線G1およびコンタクトプラグ17aがエッチング溶液に対する防壁となり、エッチング溶液SLがメモリセル部に侵入することを防止することができる。このため、メモリセル部内にある層間絶縁膜14がエッチングされることが防止される。従って、周辺回路部のみにおいて層間絶縁膜14が除去される。これを層間絶縁膜14の自己整合的除去と呼称する。

【0057】

ここで、製造工程の説明に戻る。まず、レジストマスクRM2を除去した後、少なくともメモリセル部をレジストマスクRM3で覆い、図12に示す工程において、異方性ドライエッチングにより、周辺回路部の半導体基板1上に形成されたシリコン酸化膜3および絶縁膜11を除去して、絶縁膜11をサイドウォール窒化膜9の側面にサイドウォール絶縁膜11bとして残す。そして当該ゲート配線G2を注入マスクとして、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の不純物のイオン注入を行い、周辺回路部においてソース・ドレイン領域31b（第3の

不純物領域)を形成する。この場合、NチャネルMOSトランジスタを形成するには、リン(P)の場合は35keV~45keVのエネルギーで注入し、ヒ素(As)の場合は50keV~60keVのエネルギーで注入し、PチャネルMOSトランジスタを形成するには、ボロン(B)の場合は5keV~10keVのエネルギーで注入し、2フッ化ボロン(BF₂)の場合は20keV~30keVのエネルギーで注入する。なお、ソース・ドレイン領域31bは、周辺回路部のMOSトランジスタに適応したソース・ドレイン領域である。

【0058】

なお、上記不純物のイオン注入は、周辺回路部の半導体基板1上にシリコン酸化膜3および絶縁膜11を残した状態でイオン注入を行い、その後、異方性ドライエッチングにより絶縁膜11およびシリコン酸化膜3を除去しても良い。

【0059】

なお、当該ドライエッチングにより半導体基板1上に露出するシリコン酸化膜3は除去されるが、ゲート配線G2によって覆われるシリコン酸化膜3は除去されず、ゲート絶縁膜3bとして残ることになる。また、ゲート配線G2の側面にも絶縁膜11が残る。

【0060】

次に、レジストマスクRM3を除去した後、図13に示す工程において、メモリセル部で露出しているコンタクトプラグ17aの表面および周辺回路部で露出している半導体基板1の表面、すなわち活性領域の表面に、同時にそれぞれメタルシリサイド膜32aおよび32bを形成する。

【0061】

メタルシリサイド膜32aおよび32bの形成方法は、コバルト(Co)、チタン(Ti)、ニッケル(Ni)、ハフニウム(Hf)などの高融点金属を半導体基板1の表面およびコンタクトプラグ17aの表面に堆積し、熱処理によりシリコンと金属とをシリサイド反応させる方法が一般的である。

【0062】

次に、図14に示す工程において、半導体基板1の全面に層間絶縁膜18(第2の層間絶縁膜)となるシリコン酸化膜を、例えば減圧CVD法あるいは常圧C

VD法を用いて堆積する。なお、層間絶縁膜18の膜厚は50nm～500nmで、ノンドープでも良く、リンやボロンをドープしても良い。

【0063】

その後、図15に示すように、メモリセル部および周辺回路部においてビット線コンタクトを形成すべき部分が、それぞれ開口部OP2およびOP3となったレジストマスクRM4を形成する。そして、レジストマスクRM4をエッチングマスクとして、RIE法等のドライエッチングを用いて、層間絶縁膜18を選択的にエッチングし、メモリセル部および周辺回路部にコンタクト開口部20aおよび20bを形成する。

【0064】

この場合のエッチングには、シリコン窒化膜やシリコン膜に対して選択比の大きなエッチングを行い、メモリセル部においてはコンタクトプラグ17a上のメタルシリサイド膜32aに達するコンタクト開口部20aを形成し、周辺回路部においては、半導体基板1上のメタルシリサイド膜32bに達するコンタクト開口部20bを得る。

【0065】

なお、コンタクト開口部20aおよび20bは自己整合的に得られるので、SACコンタクトと言うことができ、コンタクト形成のためのレジストマスクの位置合わせマージンを緩和して製造工程を短縮することができる。

【0066】

次に、図16に示す工程において、半導体基板1の全面に金属膜24および25を順に堆積し、金属膜24および25をコンタクト開口部20aおよび20b内に埋め込む。これにより、それぞれビット線コンタクト21aおよび21bを形成する。なお、金属膜24はTi、TiNなどのバリアメタルで、膜厚は20nm～100nmである。また、金属膜25はW等の高融点金属のシリサイド膜、あるいはW、Al（アルミニウム）等の金属膜で、あるいは、これらの多層膜で、膜厚は50nm～200nmである。

【0067】

そして、所望のビット線パターンを形成するために、写真製版によるレジスト

マスクのパターニングおよび、当該レジストマスクを用いたRIE法等のドライエッチングにより所望のビット線を形成することで、DRAM100の主たる部分の形成が完了する。

【0068】

< A-2. 作用効果 >

以上説明した実施の形態1の製造方法においては、図12を用いて説明した周辺回路部におけるソース・ドレイン領域31bの形成は、図6を用いて説明した層間絶縁膜14の形成工程の後に行うので、層間絶縁膜14の形成に際して埋め込み特性向上のために行う高温（800℃～1000℃）の熱処理が、ソース・ドレイン領域31b形成後の周辺回路部に加えられることがない。

【0069】

また、周辺回路部におけるソース・ドレイン領域31bの形成は、図10を用いて説明したコンタクトプラグ17aの形成工程の後に行うので、コンタクトプラグ17a形成後にリフレッシュ特性向上のために行う高温（800℃～1000℃）の熱処理が、ソース・ドレイン領域31b形成後の周辺回路部に加えられることがない。

【0070】

このように、周辺回路部におけるMOSトランジスタのソース・ドレイン領域31bは、高温（800℃～1000℃）の熱処理の影響を受けることがないので、周辺回路部におけるMOSトランジスタのパンチスルーマージンの減少を防止できる。

【0071】

また、メモリセル部においては、全てのコンタクトプラグ17aの上面にメタルシリサイド膜32aが形成されるので、ビット線コンタクト21aおよびストレージノードコンタクト（図示せず）のコンタクト抵抗を下げることができる。

【0072】

特に、ビット線よりも上層に形成されるストレージキャパシタのストレージノード（図示せず）とビット線コンタクト21aとを接続するストレージノードコンタクトにおいては、開口部の幅に対する深さのアスペクト比が大きく、開口後

にホール底面にシリサイド膜を形成することが難しいとされるが、コンタクトプラグ 17 a の上面にはメタルシリサイド膜 3 2 a が形成されているので、ストレージノードコンタクトのコンタクト抵抗を下げることができる。

【0073】

また、周辺回路部では、半導体基板 1 上にメタルシリサイド膜 3 2 b が形成されることにより、ビット線コンタクト 2 1 b と活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周辺回路部の電流駆動能力を向上することができる。

【0074】

< B. 実施の形態 2 >

次に、図 2 5 ～ 図 3 1 を用いて本発明に係る実施の形態 2 について説明する。

< B-1. 製造方法 >

製造工程を順に示す断面図である図 2 5 ～ 図 3 1 を用いて DRAM 2 0 0 の製造方法について説明する。なお、DRAM 2 0 0 の構造については最終工程を説明する図 3 1 に示す。また、図 1 ～ 図 1 6 を用いて説明した DRAM 1 0 0 の製造工程と同一の構成については同一の符号を付し、重複する説明は省略する。

【0075】

図 1 ～ 図 1 1 を用いて説明した工程を経て、周辺回路部から層間絶縁膜 1 4 が自己整合的に除去された構成を得る。このとき、周辺回路部のゲート配線 G 2 の側面および半導体基板 1 の上部には、シリコン窒化膜で構成される絶縁膜 1 1 が残る。

【0076】

そして、図 2 5 に示す工程において、半導体基板 1 の全面に、厚さ 5 nm ～ 1 0 0 nm のシリコン酸化膜 2 9 を、例えば CVD 法により堆積する。これにより、メモリセル部がシリコン酸化膜 2 9 で覆われるとともに、周辺回路部においては絶縁膜 1 1 のさらに上部にシリコン酸化膜 2 9 が形成され、ゲート配線 G 2 がシリコン酸化膜 2 9 で覆われる。

【0077】

次に、図 2 6 に示す工程において、少なくともメモリセル部をレジストマスク

RM11で覆い、RIE法等のドライエッチングを用いて、シリコン酸化膜29に対し全面エッチバックを行う。これにより、周辺回路部ではゲート配線G2の側面最外部にシリコン酸化膜29がサイドウォール酸化膜29b（サイドウォール絶縁膜）として残る。

【0078】

このとき、半導体基板1上のシリコン酸化膜29、絶縁膜11およびシリコン酸化膜3が除去され、周辺回路部では半導体基板1の表面、すなわち活性領域が露出した状態となる。

【0079】

なお、メモリセル部では、シリコン酸化膜29はレジストマスクRM11で保護されているので、シリコン酸化膜29aとして残る。

【0080】

続いて、周辺回路部においては、サイドウォール窒化膜9、絶縁膜11およびサイドウォール酸化膜29を側面に有するゲート配線G2を注入マスクとして、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の不純物のイオン注入を行い、ソース・ドレイン領域31bを形成する。

【0081】

この場合、NチャネルMOSトランジスタを形成するには、リン（P）の場合は35keV～45keVのエネルギーで注入し、ヒ素（As）の場合は50keV～60keVのエネルギーで注入し、PチャネルMOSトランジスタを形成するには、ボロン（B）の場合は5keV～10keVのエネルギーで注入し、2フッ化ボロン（BF₂）の場合は20keV～30keVのエネルギーで注入する。

【0082】

なお、上記不純物のイオン注入は、周辺回路部の半導体基板1上にシリコン酸化膜3、絶縁膜11およびシリコン酸化膜29を残した状態でイオン注入を行い、その後、異方性ドライエッチングによりシリコン酸化膜29、絶縁膜11およびシリコン酸化膜3を除去しても良い。

【0083】

なお、当該ドライエッチングにより半導体基板 1 上に露出するシリコン酸化膜 3 は除去されるが、ゲート配線 G 2 によって覆われるシリコン酸化膜 3 は除去されず、ゲート絶縁膜 3 b として残ることになる。また、ゲート配線 G 2 の側面にも絶縁膜 1 1 およびシリコン酸化膜 2 9 b が残る。

【0084】

次に、レジストマスク RM 1 1 を除去した後、図 27 に示す工程において、周辺回路部で露出している半導体基板 1 の表面、すなわち活性領域の表面に、メタルシリサイド膜 3 2 b を形成する。なお、メモリセル部はシリコン酸化膜 2 9 a で覆われているので、その上に高融点金属を形成してもシリサイド反応が起きず、メタルシリサイド膜は形成されない。なお、シリコン酸化膜上やシリコン窒化膜上など、シリサイド反応が起きない部分に形成された高融点金属は除去する。

【0085】

次に、図 28 に示す工程において、HF 等の溶液を用いたウェットエッチングにより、メモリセル部を覆うシリコン酸化膜 2 9 a および、周辺回路部におけるゲート配線 G 2 の側面最外部にあるシリコン酸化膜 2 9 b を除去する。

【0086】

これにより、メタルシリサイド膜 3 2 b 形成時に、シリコン酸化膜 2 9 上において発生した可能性のある異物を、シリコン酸化膜 2 9 a および 2 9 b ごと除去する。

【0087】

次に、図 29 に示す工程において、半導体基板 1 の全面に層間絶縁膜 1 8 となるシリコン酸化膜を、例えば CVD 法で堆積する。

【0088】

その後、図 30 に示すように、メモリセル部および周辺回路部においてビット線コンタクトを形成すべき部分が、それぞれ開口部 OP 1 1 および OP 1 2 となったレジストマスク RM 1 2 を形成する。そして、レジストマスク RM 1 2 をエッチングマスクとして、RIE 法等のドライエッチングを用いて、層間絶縁膜 1 8 を選択的にエッチングし、メモリセル部および周辺回路部にコンタクト開口部 2 0 a および 2 0 b を形成する。

【0089】

この場合のエッチングには、シリコン窒化膜やシリコン膜に対して選択比の大きなエッチングを行い、メモリセル部においてはコンタクトプラグ17a上に達するコンタクト開口部20aを形成し、周辺回路部においては、半導体基板1上のメタルシリサイド膜32bに達するコンタクト開口部20bを得る。

【0090】

なお、コンタクト開口部20aおよび20bは自己整合的に得られるので、SACコンタクトと言うことができ、コンタクト形成のためのレジストマスクの位置合わせマージンを緩和して製造工程を短縮することができる。

【0091】

次に、図31に示す工程において、半導体基板1の全面に金属膜24および25を順に堆積し、金属膜24および25をコンタクト開口部20aおよび20b内に埋め込む。これにより、それぞれビット線コンタクト21aおよび21bを形成する。そして、所望のビット線パターンを形成するために、写真製版によるレジストマスクのパターニングおよび、当該レジストマスクを用いたRIE法等のドライエッチングにより所望のビット線を形成することで、DRAM200の主たる部分の形成が完了する。

【0092】

<B-2. 作用効果>

以上説明した実施の形態2の製造方法においては、図26を用いて説明した周辺回路部におけるソース・ドレイン領域31bの形成は、図6を用いて説明した層間絶縁膜14の形成工程の後に行うので、層間絶縁膜14の形成に際して埋め込み特性向上のために行う高温（800℃～1000℃）の熱処理が、ソース・ドレイン領域31b形成後の周辺回路部に加えられることがない。

【0093】

また、周辺回路部におけるソース・ドレイン領域31bの形成は、図10を用いて説明したコンタクトプラグ17aの形成工程の後に行うので、コンタクトプラグ17a形成後にリフレッシュ特性向上のために行う高温（800℃～1000℃）の熱処理が、ソース・ドレイン領域31b形成後の周辺回路部に加えられる。

ることがない。

【0094】

このように、周辺回路部におけるMOSトランジスタのソース・ドレイン領域31bは、高温(800℃~1000℃)の熱処理の影響を受けることがないので、周辺回路部におけるMOSトランジスタのパンチスルーマージンの減少を抑制できる。

【0095】

また、図26を用いて説明したように、周辺回路部においては、サイドウォール窒化膜9、絶縁膜11およびシリコン酸化膜29を側面に有するゲート配線G2を注入マスクとして不純物のイオン注入を行い、ソース・ドレイン領域31bを形成するので、周辺回路部におけるMOSトランジスタのソース・ドレイン領域31bは、ゲートの端縁部から比較的離れた位置に形成されることになり、より大きなパンチスルーマージンを確保することができる。

【0096】

また、図27を用いて説明したように、周辺回路部では、半導体基板1上にメタルシリサイド膜32bが形成されることにより、ビット線コンタクト21bと活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周辺回路部の電流駆動能力を向上することができる。

【0097】

<C. 実施の形態3>

次に、図32~図35を用いて本発明に係る実施の形態3について説明する。

<C-1. 製造方法>

製造工程を順に示す断面図である図32~図35を用いてDRAM300の製造方法について説明する。なお、DRAM300の構造については最終工程を説明する図35に示す。また、図1~図16を用いて説明したDRAM100の製造工程と同一の構成については同一の符号を付し、重複する説明は省略する。

【0098】

図1~図11を用いて説明した工程を経て、周辺回路部から層間絶縁膜14が自己整合的に除去された構成を得る。このとき、周辺回路部のゲート配線G2の

側面および半導体基板 1 の上部には、シリコン窒化膜で構成される絶縁膜 11 が残る。

【0099】

そして、図 25 を用いて説明した工程を経て、半導体基板 1 の全面に、厚さ 5 nm～100 nm のシリコン酸化膜 29 を堆積する。

【0100】

次に、図 32 に示す工程において、RIE 法等のドライエッチングを用いて、シリコン酸化膜 29 に対し全面エッチバックを行う。これにより、メモリセル部においてはコンタクトプラグ 17a が露出した状態となり、周辺回路部ではゲート配線 G2 の側面最外部にシリコン酸化膜 29 がサイドウォール酸化膜 29b として残る。

【0101】

なお、このとき半導体基板 1 上のシリコン酸化膜 29、絶縁膜 11 およびシリコン酸化膜 3 が除去され、周辺回路部では半導体基板 1 の表面、すなわち活性領域が露出した状態となる。

【0102】

また、上記ドライエッチングにより半導体基板 1 上に露出するシリコン酸化膜 3 は除去されるが、ゲート配線 G2 によって覆われるシリコン酸化膜 3 は除去されず、ゲート絶縁膜 3b として残ることになる。

【0103】

次に、図 33 に示す工程において、少なくともメモリセル部をレジストマスク RM21 で覆い、周辺回路部においては、サイドウォール窒化膜 9、絶縁膜 11 およびサイドウォール酸化膜 29b を側面に有するゲート配線 G2 を注入マスクとして、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の不純物のイオン注入を行い、ソース・ドレイン領域 31b を形成する。

【0104】

この場合、NチャネルMOSトランジスタを形成するには、リン (P) の場合は 35 keV～45 keV のエネルギーで注入し、ヒ素 (As) の場合は 50 keV～60 keV のエネルギーで注入し、PチャネルMOSトランジスタを形成

するには、ボロン (B) の場合は $5\text{ keV} \sim 10\text{ keV}$ のエネルギーで注入し、
2フッ化ボロン (BF_2) の場合は $20\text{ keV} \sim 30\text{ keV}$ のエネルギーで注入
する。

【0105】

次に、レジストマスク RM21 を除去した後、図34に示す工程において、メモ
リセル部で露出しているコンタクトプラグ17aの表面および周辺回路部で露
出している半導体基板1の表面、すなわち活性領域の表面に、それぞれメタルシ
リサイド膜32aおよび32bを形成する。

【0106】

その後、HF等の溶液を用いたウエットエッチングにより、周辺回路部におけ
るゲート配線G2の側面最外部にあるシリコン酸化膜29bを除去する。このと
き、メモリセル部をレジストマスク (図示せず) で覆うことで、層間絶縁膜14
のエッチングを防ぐようにしても良い。

【0107】

以下、図29および図30を用いて説明した工程と同様の工程により、半導体
基板1の全面に層間絶縁膜18となるシリコン酸化膜を堆積した後、メモリセル
部および周辺回路部においてビット線コンタクトを形成すべき部分にコンタクト
開口部20aおよび20bを形成する。

【0108】

この場合の、メモリセル部においてはコンタクトプラグ17a上のメタルシリ
サイド膜32aに達するコンタクト開口部20aが形成され、周辺回路部におい
ては、半導体基板1上のメタルシリサイド膜32bに達するコンタクト開口部2
0bが形成される。

【0109】

なお、コンタクト開口部20aおよび20bは自己整合的に得られるので、S
ACコンタクトと言うことができ、コンタクト形成のためのレジストマスクの位
置合わせマージンを緩和して製造工程を短縮することができる。

【0110】

次に、図35に示す工程において、半導体基板1の全面に金属膜24および2

5を順に堆積し、金属膜24および25をコンタクト開口部20aおよび20b内に埋め込む。これにより、それぞれビット線コンタクト21aおよび21bを形成する。そして、所望のビット線パターンを形成するために、写真製版によるレジストマスクのパターニングおよび、当該レジストマスクを用いたRIE法等のドライエッチングにより所望のビット線を形成することで、DRAM300の主たる部分の形成が完了する。

【0111】

＜C-2. 作用効果＞

以上説明した実施の形態3の製造方法においては、図33を用いて説明した周辺回路部におけるソース・ドレイン領域31bの形成は、図6を用いて説明した層間絶縁膜14の形成工程の後に行うので、層間絶縁膜14の形成に際して埋め込み特性向上のために行う高温（800℃～1000℃）の熱処理が、ソース・ドレイン領域31b形成後の周辺回路部に加えられることがない。

【0112】

また、周辺回路部におけるソース・ドレイン領域31bの形成は、図10を用いて説明したコンタクトプラグ17aの形成工程の後に行うので、コンタクトプラグ17a形成後にリフレッシュ特性向上のために行う高温（800℃～1000℃）の熱処理が、ソース・ドレイン領域31b形成後の周辺回路部に加えられることがない。

【0113】

このように、周辺回路部におけるMOSトランジスタのソース・ドレイン領域31bは、高温（800℃～1000℃）の熱処理の影響を受けることがないので、周辺回路部におけるMOSトランジスタのパンチスルーマージンの減少を抑制できる。

【0114】

また、図33を用いて説明したように、周辺回路部においては、サイドウォール窒化膜9、絶縁膜11およびシリコン酸化膜29を側面に有するゲート配線G2を注入マスクとして不純物のイオン注入を行い、ソース・ドレイン領域31bを形成するので、周辺回路部におけるMOSトランジスタのソース・ドレイン領

域 31b は、ゲートの端縁部から比較的離れた位置に形成されることになり、より大きなパンチスルーマージンを確保することができる。

【0115】

また、メモリセル部においては、全てのコンタクトプラグ 17a の上面にメタルシリサイド膜 32a が形成されるので、ビット線コンタクト 21a およびストレージノードコンタクト（図示せず）のコンタクト抵抗を下げることができる。

【0116】

特に、ビット線よりも上層に形成されるストレージキャパシタのストレージノード（図示せず）とビット線コンタクト 21a とを接続するストレージノードコンタクトにおいては、開口部の幅に対する深さのアスペクト比が大きく、開口後にホール底面にシリサイド膜を形成することが難しいとされるが、コンタクトプラグ 17a の上面にはメタルシリサイド膜 32a が形成されているので、ストレージノードコンタクトのコンタクト抵抗を下げるすることができる。

【0117】

また、周辺回路部では、半導体基板 1 上にメタルシリサイド膜 32b が形成されることにより、ビット線コンタクト 21b と活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周辺回路部の電流駆動能力を向上することができる。

【0118】

< D. 実施の形態 4 >

次に、図 36～図 41 を用いて本発明に係る実施の形態 4 について説明する。

< D-1. 製造方法 >

製造工程を順に示す断面図である図 36～図 41 を用いて DRAM400 の製造方法について説明する。なお、DRAM400 の構造については最終工程を説明する図 41 に示す。また、図 1～図 16 を用いて説明した DRAM100 の製造工程と同一の構成については同一の符号を付し、重複する説明は省略する。

【0119】

図 1～図 11 を用いて説明した工程を経て、周辺回路部から層間絶縁膜 14 が自己整合的に除去された構成を得る。このとき、周辺回路部のゲート配線 G2 の

側面および半導体基板 1 の上部には、シリコン窒化膜で構成される絶縁膜 11 が残る。

【0120】

そして、図 36 に示す工程において、半導体基板 1 の全面に、厚さ 5 nm ~ 100 nm のシリコン窒化膜 28 を、例えば CVD 法により堆積する。これにより、メモリセル部がシリコン窒化膜 28 で覆われるとともに、周辺回路部においては絶縁膜 11 のさらに上部にシリコン窒化膜 28 が形成され、ゲート配線 G2 がシリコン窒化膜 28 で覆われる。

【0121】

次に、図 37 に示す工程において、少なくともメモリセル部をレジストマスク RM31 で覆い、RIE 法等のドライエッチングを用いて、シリコン窒化膜 28 に対し全面エッチバックを行う。これにより、周辺回路部ではゲート配線 G2 の側面最外部にシリコン窒化膜 28 がサイドウォール窒化膜 28b (サイドウォール絶縁膜、第 2 のサイドウォール窒化膜) として残る。

【0122】

このとき、半導体基板 1 上のシリコン窒化膜 28、絶縁膜 11 およびシリコン酸化膜 3 が除去され、周辺回路部では半導体基板 1 の表面、すなわち活性領域が露出した状態となる。

【0123】

なお、メモリセル部では、シリコン窒化膜 28 はレジストマスク RM31 で保護されているので、シリコン窒化膜 28a として残る。

【0124】

また、上記ドライエッチングにより半導体基板 1 上に露出するシリコン酸化膜 3 は除去されるが、ゲート配線 G2 によって覆われるシリコン酸化膜 3 は除去されず、ゲート絶縁膜 3b として残ることになる。

【0125】

続いて、周辺回路部においては、サイドウォール窒化膜 9、絶縁膜 11 およびサイドウォール窒化膜 28b を側面に有するゲート配線 G2 を注入マスクとして、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の不純物のイオン注入を行い、ソー

ス・ドレイン領域 31b を形成する。

【0126】

この場合、NチャネルMOSトランジスタを形成するには、リン(P)の場合は35keV~45keVのエネルギーで注入し、ヒ素(As)の場合は50keV~60keVのエネルギーで注入し、PチャネルMOSトランジスタを形成するには、ボロン(B)の場合は5keV~10keVのエネルギーで注入し、2フッ化ボロン(BF₂)の場合は20keV~30keVのエネルギーで注入する。

【0127】

なお、上記不純物のイオン注入は、周辺回路部の半導体基板1上に、シリコン酸化膜3、絶縁膜11およびシリコン窒化膜28を残した状態でイオン注入を行い、その後、異方性ドライエッチングによりシリコン窒化膜28、絶縁膜11およびシリコン酸化膜3を除去しても良い。

【0128】

次に、レジストマスクRM31を除去した後、図38に示す工程において、周辺回路部で露出している半導体基板1の表面、すなわち活性領域の表面に、メタルシリサイド膜32bを形成する。なお、メモリセル部はシリコン窒化膜28aで覆われているので、その上に高融点金属を形成してもシリサイド反応が起きず、メタルシリサイド膜は形成されない。なお、シリコン酸化膜上やシリコン窒化膜上など、シリサイド反応が起きない部分に形成された高融点金属は除去する。

【0129】

次に、図39に示す工程において、半導体基板1の全面に層間絶縁膜18となるシリコン酸化膜を、例えばCVD法で堆積する。

【0130】

その後、図40に示すように、メモリセル部および周辺回路部においてビット線コンタクトを形成すべき部分が、それぞれ開口部OP31およびOP32となったレジストマスクRM32を形成する。そして、レジストマスクRM32をエッチングマスクとして、RIE法等のドライエッチングを用いて、層間絶縁膜18を選択的にエッチングし、メモリセル部および周辺回路部にコンタクト開口部

20aおよび20bを形成する。

【0131】

この場合のエッチングには、シリコン窒化膜やシリコン膜に対して選択比の大きなエッチングを行い、メモリセル部においてはコンタクトプラグ17a上に達するコンタクト開口部20aを形成し、周辺回路部においては、半導体基板1上のメタルシリサイド膜32bに達するコンタクト開口部20bを得る。

【0132】

なお、コンタクト開口部20aおよび20bは自己整合的に得られるので、SACコンタクトと言うことができ、コンタクト形成のためのレジストマスクの位置合わせマージンを緩和して製造工程を短縮することができる。

【0133】

このとき、メモリセル部では、メモリセル部の最上層はシリコン窒化膜28aとなっているので、エッチングをシリコン窒化膜28aの途中で止めることができる。従って、その後、エッチング条件を変え、改めてシリコン窒化膜28aを除去することで、ゲート配線G1上のシリコン窒化膜等で形成された保護絶縁膜7がエッチングされる量を低減し、後に形成されるビット線コンタクトとゲート配線G1とのショートマージンの低下を抑制できる。

【0134】

次に、図41に示す工程において、半導体基板1の全面に金属膜24および25を順に堆積し、金属膜24および25をコンタクト開口部20aおよび20b内に埋め込む。これにより、それぞれビット線コンタクト21aおよび21bを形成する。そして、所望のビット線パターンを形成するために、写真製版によるレジストマスクのパターニングおよび、当該レジストマスクを用いたRIE法等のドライエッチングにより所望のビット線を形成することで、DRAM400の主たる部分の形成が完了する。

【0135】

<D-2. 作用効果>

以上説明した実施の形態4の製造方法においては、図37を用いて説明した周辺回路部におけるソース・ドレイン領域31bの形成は、図6を用いて説明した

層間絶縁膜 1 4 の形成工程の後に行うので、層間絶縁膜 1 4 の形成に際して埋め込み特性向上のために行う高温（8 0 0℃～1 0 0 0℃）の熱処理が、ソース・ドレイン領域 3 1 b 形成後の周辺回路部に加えられることがない。

【 0 1 3 6 】

また、周辺回路部におけるソース・ドレイン領域 3 1 b の形成は、図 1 0 を用いて説明したコンタクトプラグ 1 7 a の形成工程の後に行うので、コンタクトプラグ 1 7 a 形成後にリフレッシュ特性向上のために行う高温（8 0 0℃～1 0 0 0℃）の熱処理が、ソース・ドレイン領域 3 1 b 形成後の周辺回路部に加えられることがない。

【 0 1 3 7 】

このように、周辺回路部における MOS トランジスタのソース・ドレイン領域 3 1 b は、高温（8 0 0℃～1 0 0 0℃）の熱処理の影響を受けることがないので、周辺回路部における MOS トランジスタのパンチスルーマージンの減少を抑制できる。

【 0 1 3 8 】

また、図 3 7 を用いて説明したように、周辺回路部においては、サイドウォール窒化膜 9、絶縁膜 1 1 およびサイドウォール窒化膜 2 8 b を側面に有するゲート配線 G 2 を注入マスクとして不純物のイオン注入を行い、ソース・ドレイン領域 3 1 b を形成するので、周辺回路部における MOS トランジスタのソース・ドレイン領域 3 1 b は、ゲートの端縁部から比較的離れた位置に形成されることになり、より大きなパンチスルーマージンを確保することができる。

【 0 1 3 9 】

また、周辺回路部では半導体基板 1 上にメタルシリサイド膜 3 2 b が形成されることにより、ビット線コンタクト 2 1 b と活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周辺回路部の電流駆動能力を向上することができる。

【 0 1 4 0 】

また、図 4 0 を用いて説明したように、周辺回路部ではゲート配線 G 2 の側面に、サイドウォール窒化膜 9、絶縁膜 1 1 およびサイドウォール窒化膜 2 8 b を

有した状態でコンタクト開口部 2 0 b を形成するので、ゲート配線 G 2 の幅が厚く、ビット線コンタクト 2 1 b とゲート配線 G 2 とのショートマージンを増加させることができる。

【 0 1 4 1 】

< E . 実施の形態 5 >

次に、図 4 2 ～図 4 5 を用いて本発明に係る実施の形態 5 について説明する。

< E - 1 . 製造方法 >

製造工程を順に示す断面図である図 4 2 ～図 4 5 を用いて D R A M 5 0 0 の製造方法について説明する。なお、D R A M 5 0 0 の構造については最終工程を説明する図 4 5 に示す。また、図 1 ～図 1 6 を用いて説明した D R A M 1 0 0 の製造工程と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 1 4 2 】

図 1 ～図 1 1 を用いて説明した工程を経て、周辺回路部から層間絶縁膜 1 4 が自己整合的に除去された構成を得る。このとき、周辺回路部のゲート配線 G 2 の側面および半導体基板 1 の上部には、シリコン窒化膜で構成される絶縁膜 1 1 が残る。

【 0 1 4 3 】

そして、図 3 6 に示す工程と同様の工程を経て、半導体基板 1 の全面に、厚さ 5 n m ～ 1 0 0 n m のシリコン窒化膜 2 8 を、例えば C V D 法により堆積する。これにより、メモリセル部がシリコン窒化膜 2 8 で覆われるとともに、周辺回路部においては絶縁膜 1 1 のさらに上部にシリコン窒化膜 2 8 が形成され、ゲート配線 G 2 がシリコン窒化膜 2 8 で覆われる。

【 0 1 4 4 】

次に、図 4 2 に示す工程において、R - I E 法等のドライエッチングを用いて、シリコン窒化膜 2 8 に対し全面エッチバックを行う。これにより、メモリセル部ではコンタクトプラグ 1 7 a が露出した状態となり、周辺回路部ではゲート配線 G 2 の側面最外部にシリコン窒化膜 2 8 がサイドウォール窒化膜 2 8 b として残る。

【 0 1 4 5 】

なお、このとき半導体基板 1 上のシリコン窒化膜 28、絶縁膜 11 およびシリコン酸化膜 3 が除去され、周辺回路部では半導体基板 1 の表面、すなわち活性領域が露出した状態となる。

【0146】

また、上記ドライエッチングにより半導体基板 1 上に露出するシリコン酸化膜 3 は除去されるが、ゲート配線 G 2 によって覆われるシリコン酸化膜 3 は除去されず、ゲート絶縁膜 3b として残ることになる。

【0147】

次に、図 43 に示す工程において、少なくともメモリセル部をレジストマスク RM41 で覆い、周辺回路部においては、サイドウォール窒化膜 9、絶縁膜 11 およびサイドウォール窒化膜 28b を側面に有するゲート配線 G 2 を注入マスクとして、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の不純物のイオン注入を行い、ソース・ドレイン領域 31b を形成する。

【0148】

この場合、NチャネルMOSトランジスタを形成するには、リン (P) の場合は $35 \text{ keV} \sim 45 \text{ keV}$ のエネルギーで注入し、ヒ素 (As) の場合は $50 \text{ keV} \sim 60 \text{ keV}$ のエネルギーで注入し、PチャネルMOSトランジスタを形成するには、ボロン (B) の場合は $5 \text{ keV} \sim 10 \text{ keV}$ のエネルギーで注入し、2フッ化ボロン (BF_2) の場合は $20 \text{ keV} \sim 30 \text{ keV}$ のエネルギーで注入する。

【0149】

次に、レジストマスク RM41 を除去した後、図 44 に示す工程において、メモリセル部で露出しているコンタクトプラグ 17a の表面および周辺回路部で露出している半導体基板 1 の表面、すなわち活性領域の表面に、それぞれメタルシリサイド膜 32a および 32b を形成する。

【0150】

以下、図 29 および図 30 を用いて説明した工程と同様の工程により、半導体基板 1 の全面に層間絶縁膜 18 となるシリコン酸化膜を堆積した後、メモリセル部および周辺回路部においてビット線コンタクトを形成すべき部分にコンタクト

開口部 2 0 a および 2 0 b を形成する。

【0 1 5 1】

なお、コンタクト開口部 2 0 a および 2 0 b は自己整合的に得られるので、SACコンタクトと言うことができ、コンタクト形成のためのレジストマスクの位置合わせマージンを緩和して製造工程を短縮することができる。

【0 1 5 2】

この場合の、メモリセル部においてはコンタクトプラグ 1 7 a 上のメタルシリサイド膜 3 2 a に達するコンタクト開口部 2 0 a が形成され、周辺回路部においては、半導体基板 1 上のメタルシリサイド膜 3 2 b に達するコンタクト開口部 2 0 b が形成される。

【0 1 5 3】

次に、図 4 5 に示す工程において、半導体基板 1 の全面に金属膜 2 4 および 2 5 を順に堆積し、金属膜 2 4 および 2 5 をコンタクト開口部 2 0 a および 2 0 b 内に埋め込む。これにより、それぞれビット線コンタクト 2 1 a および 2 1 b を形成する。そして、所望のビット線パターンを形成するために、写真製版によるレジストマスクのパターニングおよび、当該レジストマスクを用いた R I E 法等のドライエッチングにより所望のビット線を形成することで、DRAM 5 0 0 の主たる部分の形成が完了する。

【0 1 5 4】

< E - 2 . 作用効果 >

以上説明した実施の形態 5 の製造方法においては、図 4 3 を用いて説明した周辺回路部におけるソース・ドレイン領域 3 1 b の形成は、図 6 を用いて説明した層間絶縁膜 1 4 の形成工程の後に行うので、層間絶縁膜 1 4 の形成に際して埋め込み特性向上のために行う高温（8 0 0 ° C ~ 1 0 0 0 ° C）の熱処理が、ソース・ドレイン領域 3 1 b 形成後の周辺回路部に加えられることがない。

【0 1 5 5】

また、周辺回路部におけるソース・ドレイン領域 3 1 b の形成は、図 1 0 を用いて説明したコンタクトプラグ 1 7 a の形成工程の後に行うので、コンタクトプラグ 1 7 a 形成後にリフレッシュ特性向上のために行う高温（8 0 0 ° C ~ 1 0 0

0℃)の熱処理が、ソース・ドレイン領域31b形成後の周辺回路部に加えられることがない。

【0156】

このように、周辺回路部におけるMOSトランジスタのソース・ドレイン領域31bは、高温(800℃~1000℃)の熱処理の影響を受けることがないので、周辺回路部におけるMOSトランジスタのパンチスルーマージンの減少を抑制できる。

【0157】

また、図4.3を用いて説明したように、周辺回路部においては、サイドウォール窒化膜9、絶縁膜11およびサイドウォール窒化膜28bを側面に有するゲート配線G2を注入マスクとして不純物のイオン注入を行い、ソース・ドレイン領域31bを形成するので、周辺回路部におけるMOSトランジスタのソース・ドレイン領域31bは、ゲートの端縁部から比較的離れた位置に形成されることになり、より大きなパンチスルーマージンを確保することができる。

【0158】

また、メモリセル部においては、全てのコンタクトプラグ17aの上面にメタルシリサイド膜32aが形成されるので、ビット線コンタクト21aおよびストレージノードコンタクト(図示せず)のコンタクト抵抗を下げることができる。

【0159】

特に、ビット線よりも上層に形成されるストレージキャパシタのストレージノード(図示せず)とビット線コンタクト21aとを接続するストレージノードコンタクトにおいては、開口部の幅に対する深さのアスペクト比が大きく、開口後にホール底面にシリサイド膜を形成することが難しいとされるが、コンタクトプラグ17aの上面にはメタルシリサイド膜32aが形成されているので、ストレージノードコンタクトのコンタクト抵抗を下げるができる。

【0160】

また、周辺回路部では半導体基板1上にメタルシリサイド膜32bが形成されることにより、ビット線コンタクト21bと活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周辺回路部の電流

駆動能力を向上することができる。

【0161】

また、周辺回路部ではゲート配線G2の側面に、サイドウォール窒化膜9、絶縁膜11およびサイドウォール窒化膜28bを有した状態でコンタクト開口部20bを形成するので、ゲート配線G2の幅が厚く、ビット線コンタクト21bとゲート配線G2とのショートマージンを増加させることができる。

【0162】

< F. 実施の形態6 >

次に、図46～図52を用いて本発明に係る実施の形態6について説明する。

< F-1. 製造方法 >

製造工程を順に示す断面図である図46～図52を用いてDRAM600の製造方法について説明する。なお、DRAM600の構造については最終工程を説明する図52に示す。また、図1～図16を用いて説明したDRAM100の製造工程と同一の構成については同一の符号を付し、重複する説明は省略する。

【0163】

図1～図11を用いて説明した工程を経て、周辺回路部から層間絶縁膜14が自己整合的に除去された構成を得る。このとき、周辺回路部のゲート配線G2の側面および半導体基板1の上部には、シリコン窒化膜で構成される絶縁膜11が残る。

【0164】

そして、図36に示す工程と同様の工程を経て、半導体基板1の全面に、厚さ5nm～100nmのシリコン窒化膜28を、例えばCVD法により堆積する。その後、図46に示す工程において、厚さ5nm～100nmのシリコン酸化膜29を、例えばCVD法により堆積する。これにより、メモリセル部がシリコン窒化膜28およびシリコン酸化膜29の2層膜で覆われるとともに、周辺回路部においては絶縁膜11のさらに上部にシリコン窒化膜28およびシリコン酸化膜29の2層膜が形成され、ゲート配線G2がシリコン窒化膜28およびシリコン酸化膜29の2層膜で覆われる。

【0165】

次に、図47に示す工程において、少なくともメモリセル部をレジストマスクRM51で覆い、RIE法等のドライエッチングを用いて、シリコン酸化膜29に対する全面エッチバックおよびシリコン窒化膜28に対する全面エッチバックを行う。これにより、周辺回路部ではゲート配線G2の側面最外部にシリコン窒化膜28およびシリコン酸化膜29が、それぞれサイドウォール窒化膜28bおよびサイドウォール酸化膜29bとして残る。

【0166】

このとき、半導体基板1上のシリコン酸化膜29、シリコン窒化膜28、絶縁膜11およびシリコン酸化膜3が除去され、周辺回路部では半導体基板1の表面、すなわち活性領域が露出した状態となる。

【0167】

なお、メモリセル部では、シリコン窒化膜28およびシリコン酸化膜29はレジストマスクRM51で保護されているので、シリコン窒化膜28aおよびシリコン酸化膜29aとして残る。

【0168】

続いて、周辺回路部においては、サイドウォール窒化膜9、絶縁膜11、サイドウォール窒化膜28bおよびサイドウォール酸化膜29bを側面に有するゲート配線G2を注入マスクとして、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ の不純物のイオン注入を行い、ソース・ドレイン領域31bを形成する。

【0169】

この場合、NチャネルMOSトランジスタを形成するには、リン(P)の場合は35keV~45keVのエネルギーで注入し、ヒ素(As)の場合は50keV~60keVのエネルギーで注入し、PチャネルMOSトランジスタを形成するには、ボロン(B)の場合は5keV~10keVのエネルギーで注入し、2フッ化ボロン(BF₂)の場合は20keV~30keVのエネルギーで注入する。

【0170】

なお、上記不純物のイオン注入は、周辺回路部の半導体基板1上に、シリコン酸化膜3、絶縁膜11、シリコン窒化膜28およびシリコン酸化膜29を残した

状態でイオン注入を行い、その後、異方性ドライエッチングによりシリコン窒化膜 28、絶縁膜 11 およびシリコン酸化膜 3 を除去しても良い。

【0171】

次に、レジストマスク RM51 を除去した後、図 48 に示す工程において、周辺回路部で露出している半導体基板 1 の表面、すなわち活性領域の表面に、メタルシリサイド膜 32b を形成する。なお、メモリセル部の最上層はシリコン酸化膜 29a となっているので、その上に高融点金属を形成してもシリサイド反応が起きず、メタルシリサイド膜は形成されない。なお、シリコン酸化膜上やシリコン窒化膜上など、シリサイド反応が起きない部分に形成された高融点金属は除去する。

【0172】

次に、図 49 に示す工程において、HF 等の溶液を用いたウェットエッチングにより、メモリセル部を覆うシリコン酸化膜 29a および、周辺回路部におけるゲート配線 G2 の側面最外部にあるシリコン酸化膜 29b を除去する。

【0173】

これにより、メタルシリサイド膜 32b 形成時に、シリコン酸化膜 29 上において発生した可能性のある異物を、シリコン酸化膜 29a および 29b ごと除去する。

【0174】

次に、図 50 に示す工程において、半導体基板 1 の全面に層間絶縁膜 18 となるシリコン酸化膜を、例えば CVD 法で堆積する。

【0175】

その後、図 51 に示すように、メモリセル部および周辺回路部においてビット線コンタクトを形成すべき部分が、それぞれ開口部 OP51 および OP52 となったレジストマスク RM52 を形成する。そして、レジストマスク RM52 をエッチングマスクとして、RIE 法等のドライエッチングを用いて、層間絶縁膜 18 を選択的にエッチングし、メモリセル部および周辺回路部にコンタクト開口部 20a および 20b を形成する。

【0176】

この場合のエッチングには、シリコン窒化膜やシリコン膜に対して選択比の大きなエッチングを行い、メモリセル部においてはコンタクトプラグ 1 7 a 上に達するコンタクト開口部 2 0 a を形成し、周辺回路部においては、半導体基板 1 上のメタルシリサイド膜 3 2 b に達するコンタクト開口部 2 0 b を得る。

【 0 1 7 7 】

なお、コンタクト開口部 2 0 a および 2 0 b は自己整合的に得られるので、SACコンタクトと言うことができ、コンタクト形成のためのレジストマスクの位置合わせマージンを緩和して製造工程を短縮することができる。

【 0 1 7 8 】

このとき、メモリセル部では、メモリセル部の最上層はシリコン窒化膜 2 8 a となっているので、エッチングをシリコン窒化膜 2 8 a の途中で止めることができる。従って、その後、エッチング条件を変え、改めてシリコン窒化膜 2 8 a を除去することで、ゲート配線 G 1 上のシリコン窒化膜等で形成された保護絶縁膜 7 がエッチングされる量を低減し、後に形成されるビット線コンタクトとゲート配線 G 1 とのショートマージンの低下を抑制できる。

【 0 1 7 9 】

次に、図 5 2 に示す工程において、半導体基板 1 の全面に金属膜 2 4 および 2 5 を順に堆積し、金属膜 2 4 および 2 5 をコンタクト開口部 2 0 a および 2 0 b 内に埋め込む。これにより、それぞれビット線コンタクト 2 1 a および 2 1 b を形成する。そして、所望のビット線パターンを形成するために、写真製版によるレジストマスクのパターニングおよび、当該レジストマスクを用いた R I E 法等のドライエッチングにより所望のビット線を形成することで、DRAM 6 0 0 の主たる部分の形成が完了する。

【 0 1 8 0 】

< F - 2 . 作用効果 >

以上説明した実施の形態 6 の製造方法においては、図 4 7 を用いて説明した周辺回路部におけるソース・ドレイン領域 3 1 b の形成は、図 6 を用いて説明した層間絶縁膜 1 4 の形成工程の後に行うので、層間絶縁膜 1 4 の形成に際して埋め込み特性向上のために行う高温（8 0 0 ℃～1 0 0 0 ℃）の熱処理が、ソース・

ドレイン領域 31b 形成後の周辺回路部に加えられることがない。

【0181】

また、周辺回路部におけるソース・ドレイン領域 31b の形成は、図 10 を用いて説明したコンタクトプラグ 17a の形成工程の後に行うので、コンタクトプラグ 17a 形成後にリフレッシュ特性向上のために行う高温（800℃～1000℃）の熱処理が、ソース・ドレイン領域 31b 形成後の周辺回路部に加えられることがない。

【0182】

このように、周辺回路部における MOS トランジスタのソース・ドレイン領域 31b は、高温（800℃～1000℃）の熱処理の影響を受けることがないので、周辺回路部における MOS トランジスタのパンチスルーマージンの減少を抑制できる。

【0183】

また、図 47 を用いて説明したように、周辺回路部においては、サイドウォール窒化膜 9、絶縁膜 11、サイドウォール窒化膜 28b およびサイドウォール酸化膜 29b を側面に有するゲート配線 G2 を注入マスクとして不純物のイオン注入を行い、ソース・ドレイン領域 31b を形成するので、周辺回路部における MOS トランジスタのソース・ドレイン領域 31b は、ゲートの端縁部から大きく離れた位置に形成されることになり、より大きなパンチスルーマージンを確保することができる。

【0184】

また、周辺回路部では半導体基板 1 上にメタルシリサイド膜 32b が形成されることにより、ビット線コンタクト 21b と活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周辺回路部の電流駆動能力を向上することができる。

【0185】

また、周辺回路部ではゲート配線 G2 の側面に、サイドウォール窒化膜 9、絶縁膜 11、サイドウォール窒化膜 28b を有した状態でコンタクト開口部 20b を形成するので、ゲート配線 G2 の幅が厚く、ビット線コンタクト 21b とゲー

ト配線G2とのショートマージンを増加させることができる。

【0186】

【発明の効果】

本発明に係る請求項1記載の半導体装置の製造方法によれば、周辺回路部において第3の不純物領域を形成する工程は、第1の層間絶縁膜の形成の後に行うので、第1の層間絶縁膜の形成に際して埋め込み特性向上のために行う高温（800℃～1000℃）の熱処理が、第3の不純物領域形成後の周辺回路部に加えられることがない。また、周辺回路部における第3の不純物領域を形成する工程は、コンタクトプラグの形成の後に行うので、コンタクトプラグ形成後にリフレッシュ特性向上のために行う高温（800℃～1000℃）の熱処理が、第3の不純物領域形成後の周辺回路部に加えられることがない。従って、周辺回路部におけるMOSトランジスタのソース・ドレイン領域となる比較的高濃度の第3の不純物領域は、高温（800℃～1000℃）の熱処理の影響を受けることがないので、周辺回路部におけるMOSトランジスタのパンチスルーマージンの減少を防止できる。

【0187】

本発明に係る請求項12記載の半導体装置によれば、データ保持部の全てのコンタクトプラグ上および周辺回路部の第3の不純物領域が形成された半導体基板、すなわち活性領域の表面に配設されたメタルシリサイド膜を備えているので、メモリセル部においては、後に形成されるビット線コンタクトやストレージノードコンタクトのコンタクト抵抗を下げるができる。また、周辺回路部では、後に形成されるビット線コンタクトと活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周辺回路部の電流駆動能力を向上することができる。

【0188】

本発明に係る請求項13記載の半導体装置によれば、周辺回路部の第3の不純物領域が形成された半導体基板の表面にのみメタルシリサイド膜が配設されるので、周辺回路部では、後に形成されるビット線コンタクトと活性領域とのコンタクト抵抗が低減できるだけでなく、活性領域のシート抵抗も低減できるので、周

辺回路部の電流駆動能力を向上することができる。

【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 2】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 3】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 4】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 5】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 6】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 7】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 8】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 9】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 0】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 1】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 2】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 3】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 4】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する

断面図である。

【図 1 5】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 6】 本発明に係る実施の形態 1 の半導体装置の製造工程を説明する断面図である。

【図 1 7】 メモリセル部にコンタクトプラグを設けるためのレジストマスクのパターンの一例を示す平面図である。

【図 1 8】 メモリセル部にコンタクトプラグを設けるためのレジストマスクのパターンの一例を示す平面図である。

【図 1 9】 コンタクトプラグ形成後のメモリセル部の平面図である。

【図 2 0】 コンタクトプラグ形成後のメモリセル部の平面図である。

【図 2 1】 周辺回路部のウェットエッチング時の状態を示す平面図である。

【図 2 2】 周辺回路部のウェットエッチング時の状態を示す平面図である。

【図 2 3】 周辺回路部のウェットエッチング時の状態を示す断面図である。

【図 2 4】 周辺回路部のウェットエッチング時の状態を示す断面図である。

【図 2 5】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 2 6】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 2 7】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 2 8】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 2 9】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 3 0】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 3 1】 本発明に係る実施の形態 2 の半導体装置の製造工程を説明する断面図である。

【図 3 2】 本発明に係る実施の形態 3 の半導体装置の製造工程を説明する断面図である。

【図 3 3】 本発明に係る実施の形態 3 の半導体装置の製造工程を説明する断面図である。

【図 3 4】 本発明に係る実施の形態 3 の半導体装置の製造工程を説明する断面図である。

【図 3 5】 本発明に係る実施の形態 3 の半導体装置の製造工程を説明する断面図である。

【図 3 6】 本発明に係る実施の形態 4 の半導体装置の製造工程を説明する断面図である。

【図 3 7】 本発明に係る実施の形態 4 の半導体装置の製造工程を説明する断面図である。

【図 3 8】 本発明に係る実施の形態 4 の半導体装置の製造工程を説明する断面図である。

【図 3 9】 本発明に係る実施の形態 4 の半導体装置の製造工程を説明する断面図である。

【図 4 0】 本発明に係る実施の形態 4 の半導体装置の製造工程を説明する断面図である。

【図 4 1】 本発明に係る実施の形態 4 の半導体装置の製造工程を説明する断面図である。

【図 4 2】 本発明に係る実施の形態 5 の半導体装置の製造工程を説明する断面図である。

【図 4 3】 本発明に係る実施の形態 5 の半導体装置の製造工程を説明する断面図である。

【図 4 4】 本発明に係る実施の形態 5 の半導体装置の製造工程を説明する

断面図である。

【図 4 5】 本発明に係る実施の形態 5 の半導体装置の製造工程を説明する断面図である。

【図 4 6】 本発明に係る実施の形態 6 の半導体装置の製造工程を説明する断面図である。

【図 4 7】 本発明に係る実施の形態 6 の半導体装置の製造工程を説明する断面図である。

【図 4 8】 本発明に係る実施の形態 6 の半導体装置の製造工程を説明する断面図である。

【図 4 9】 本発明に係る実施の形態 6 の半導体装置の製造工程を説明する断面図である。

【図 5 0】 本発明に係る実施の形態 6 の半導体装置の製造工程を説明する断面図である。

【図 5 1】 本発明に係る実施の形態 6 の半導体装置の製造工程を説明する断面図である。

【図 5 2】 本発明に係る実施の形態 6 の半導体装置の製造工程を説明する断面図である。

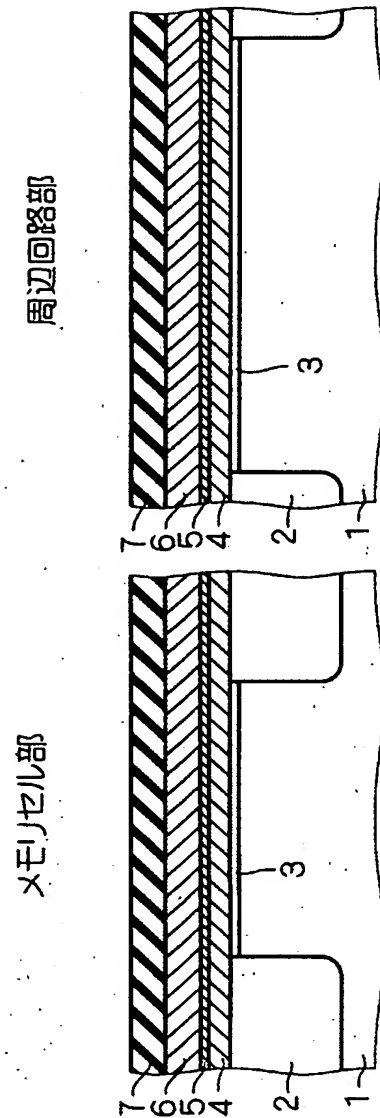
【符号の説明】

7 a, 7 b 保護絶縁膜、9 a, 9 b サイドウォール窒化膜、1 4, 1 8 層間絶縁膜、1 7 a コンタクトプラグ、2 8、b サイドウォール窒化膜、2 9 b サイドウォール酸化膜、3 1 b ソース・ドレイン領域、3 2 a, 3 2 b メタルシリサイド膜、G 1, G 2 ゲート配線。

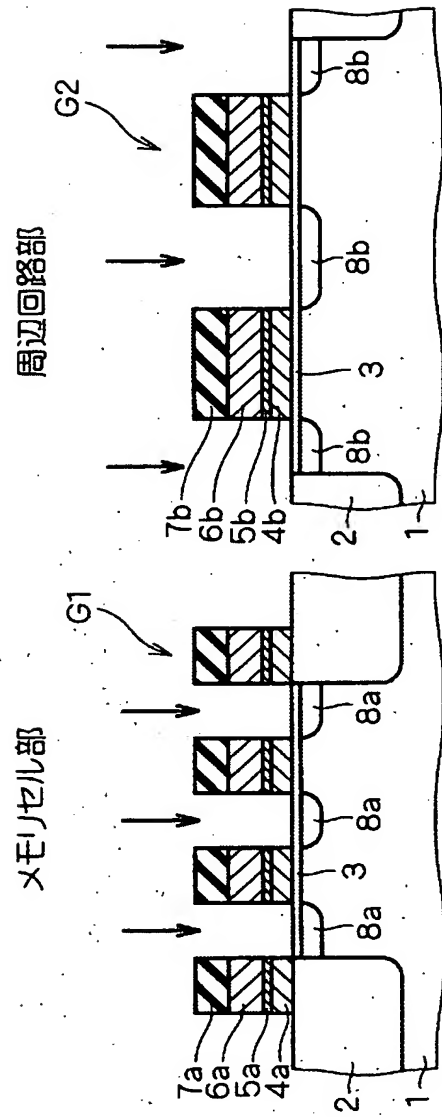
【書類名】

図面

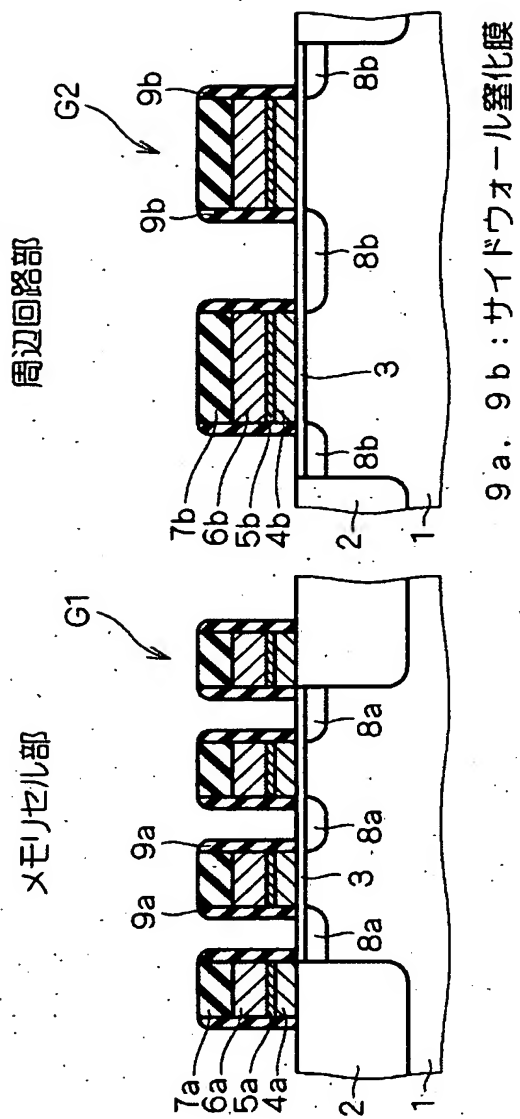
【図 1】



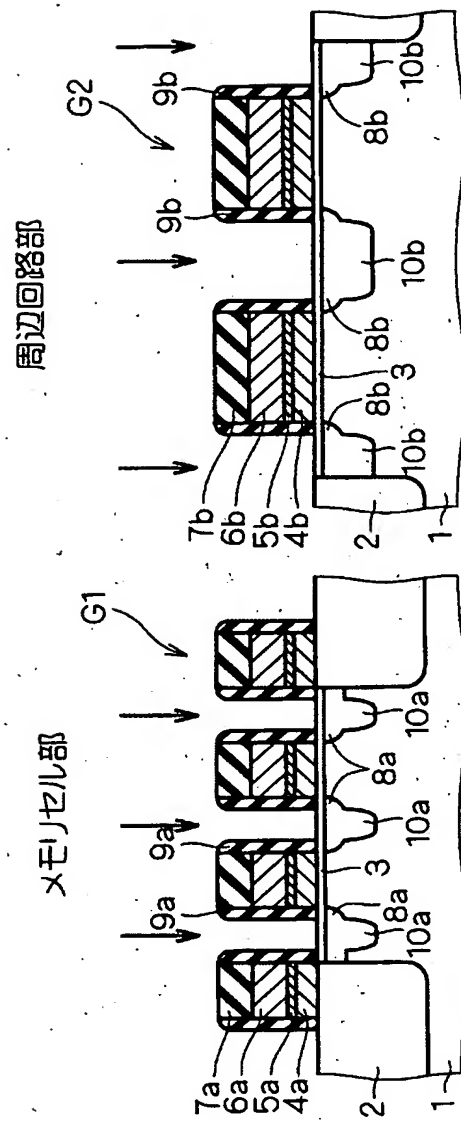
【図 2】



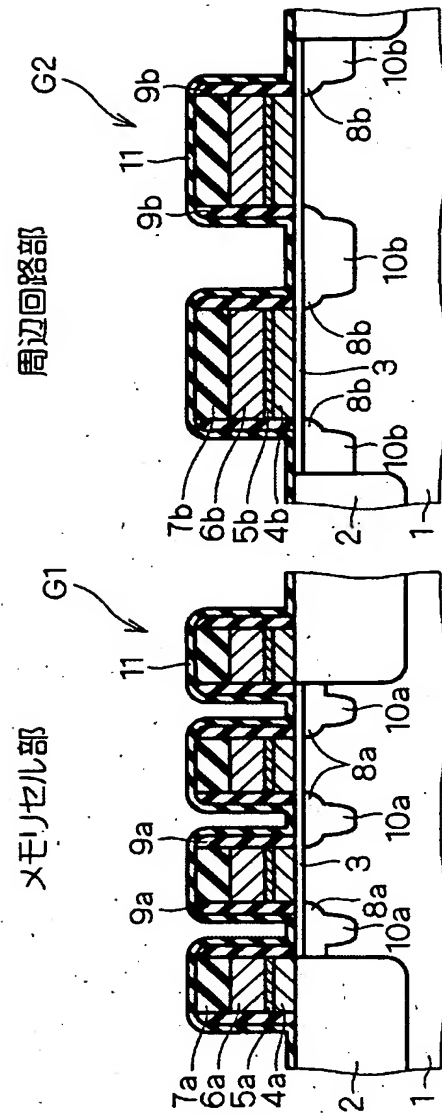
【図 3】



【図 4】



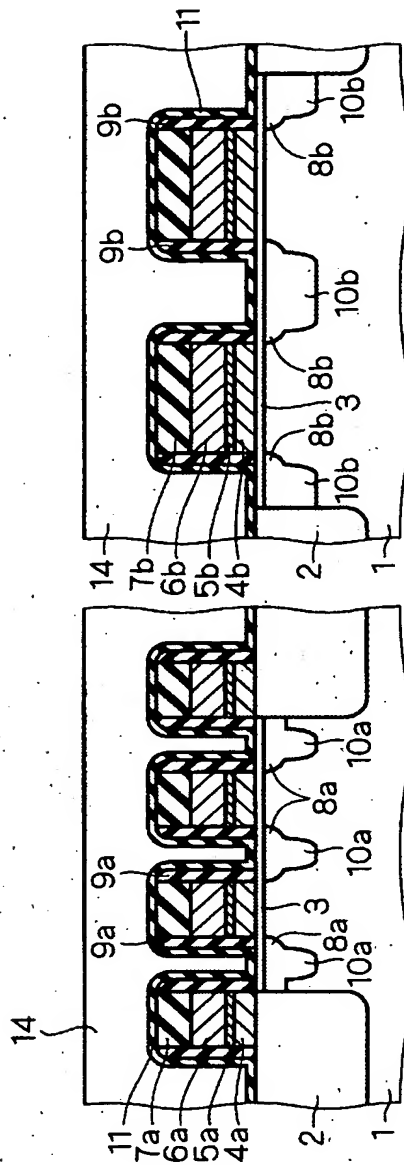
【図 5】



【図 6】

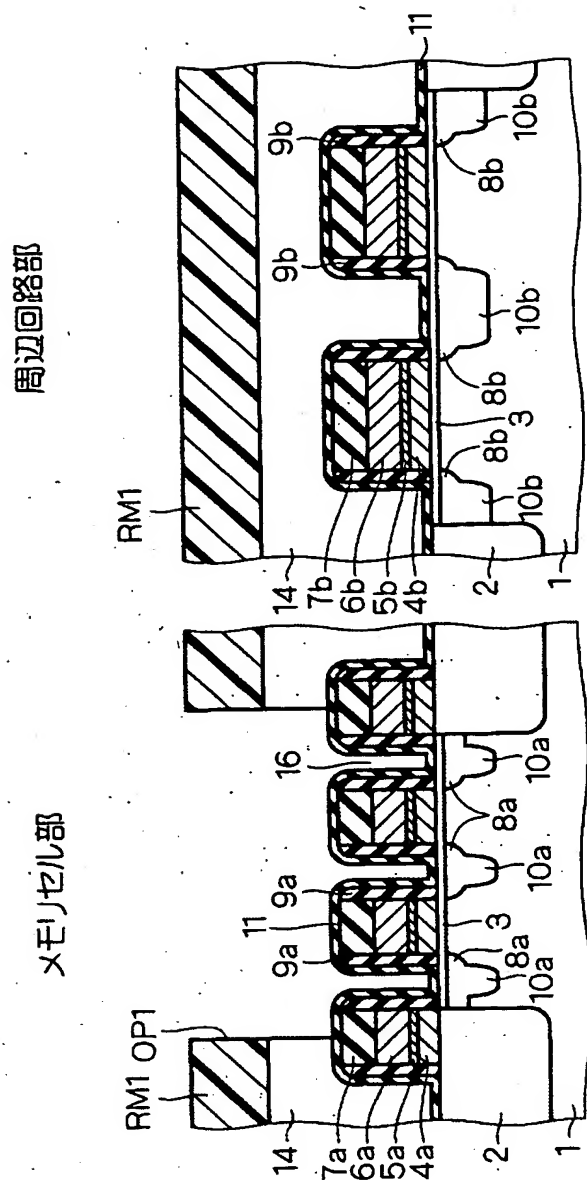
周辺回路部

メモリエル部

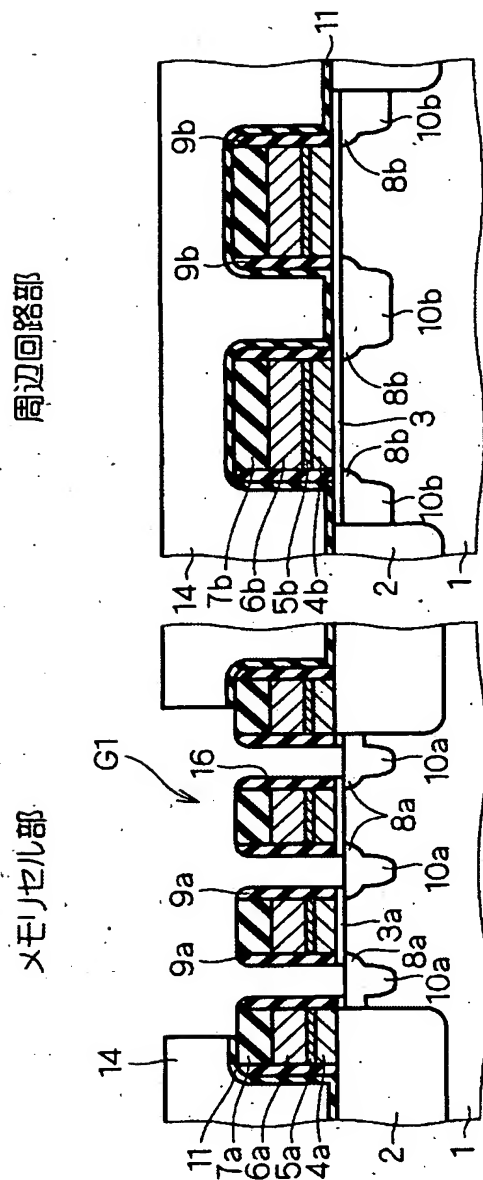


14: 層間絶縁膜

【図7】



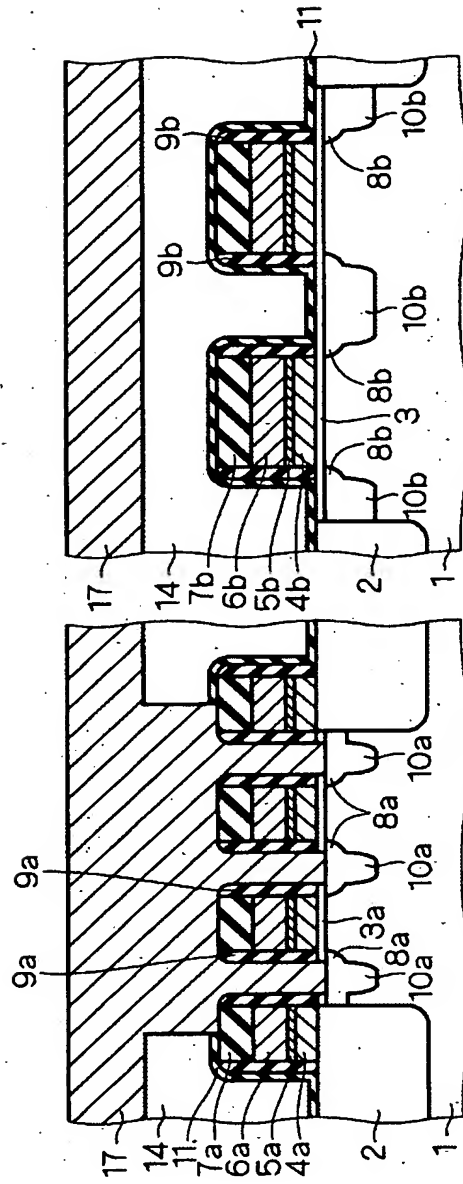
【図 8】



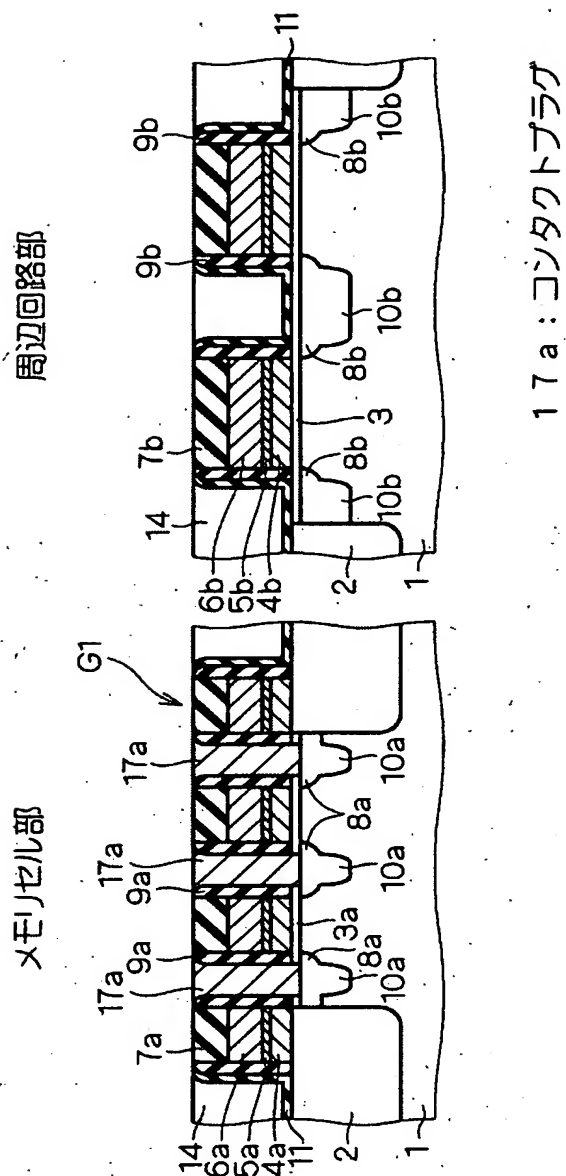
【図9】

周辺回路部

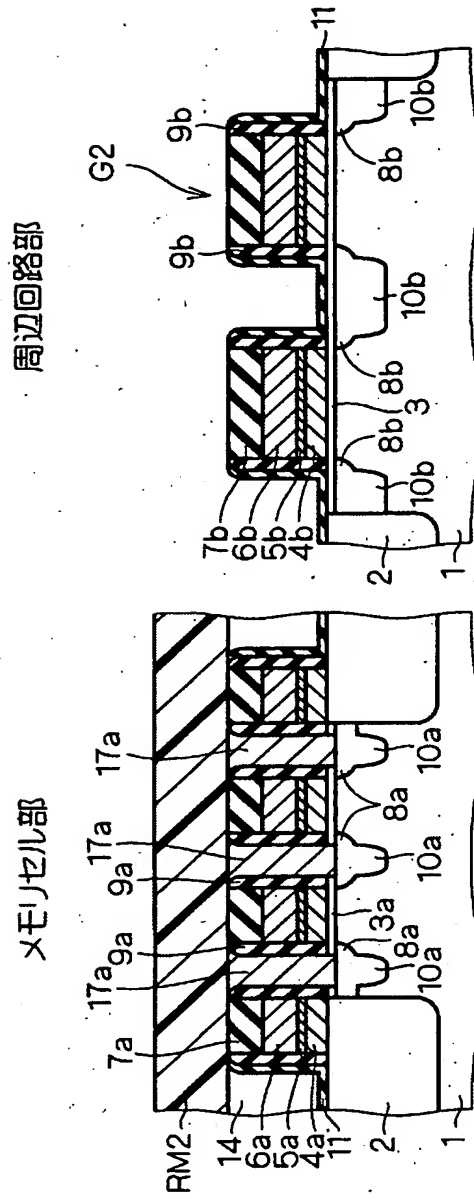
メモリセル部



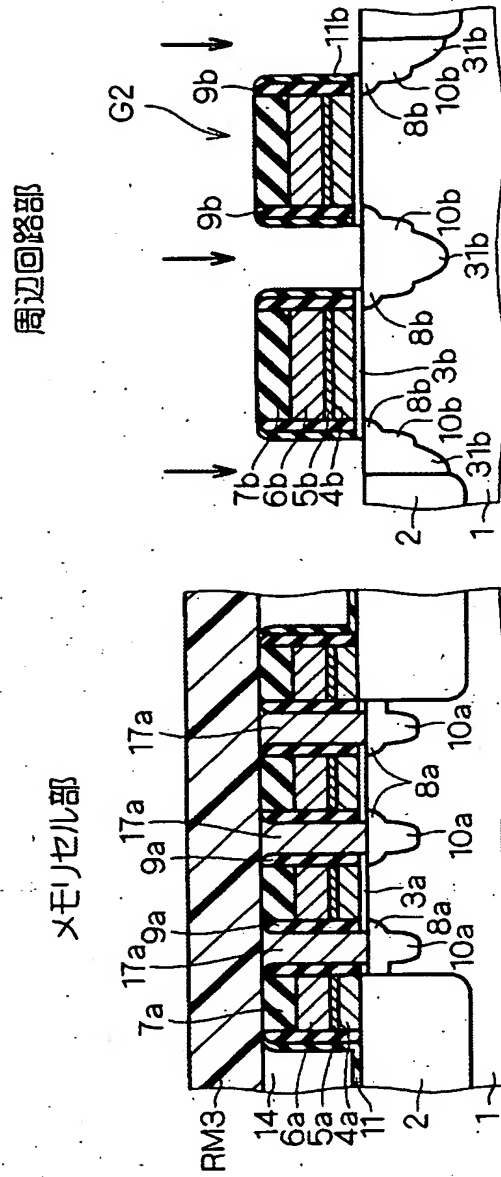
【図10】



【図 11】

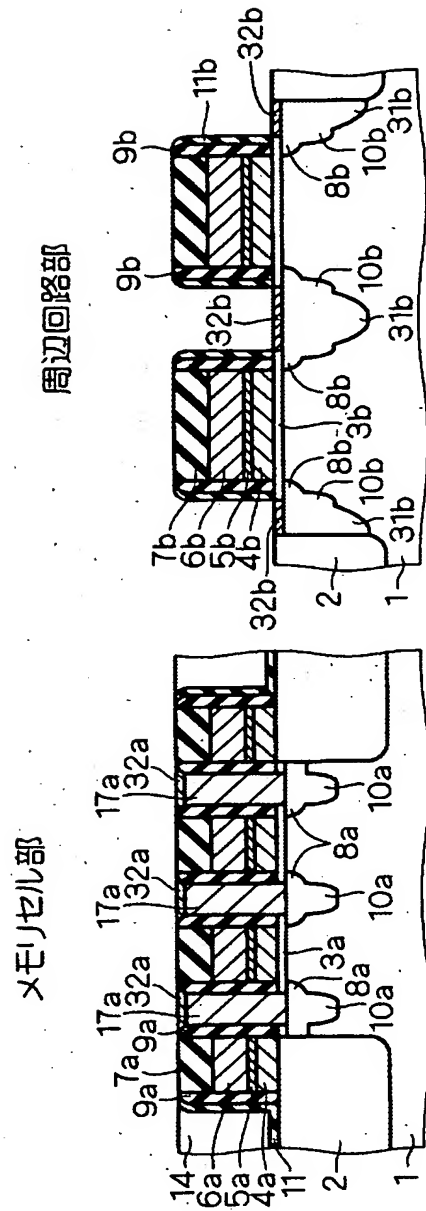


【図 12】



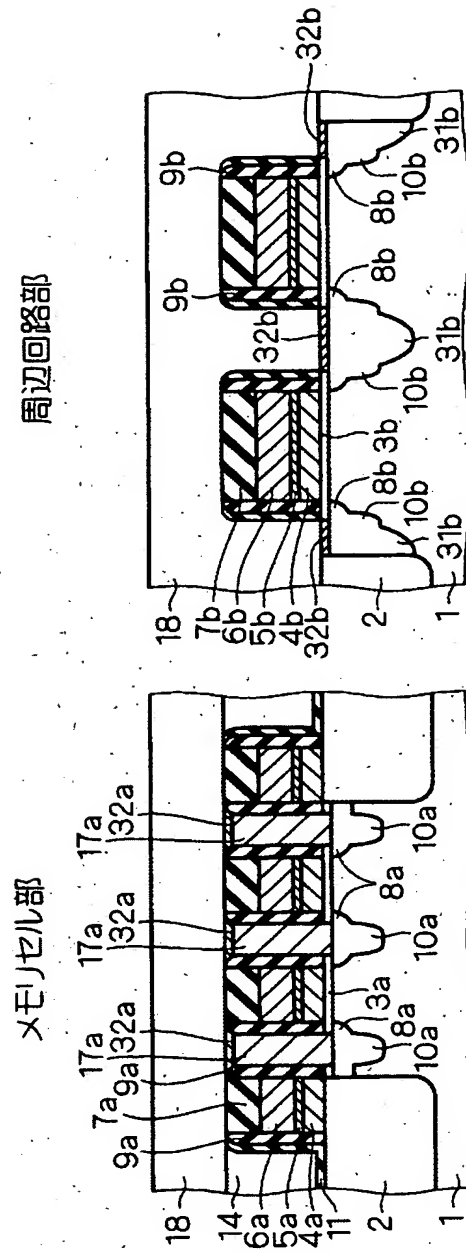
31b: ソース・ドレイン領域

【図 13】

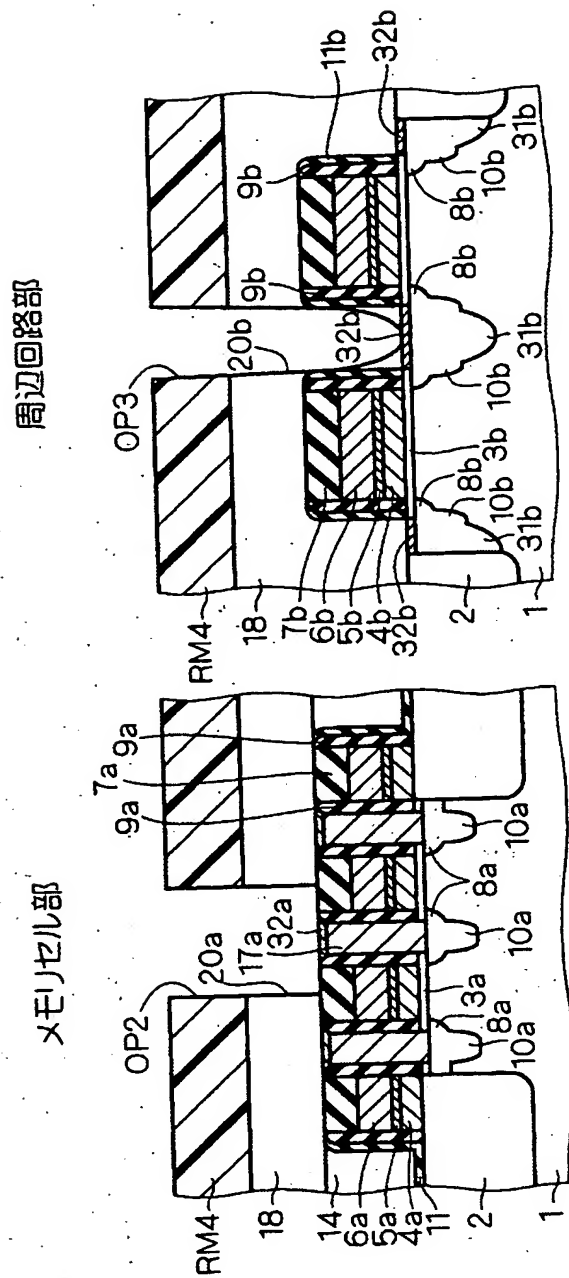


32a, 32b: メタルシリサイド膜

【図 14】



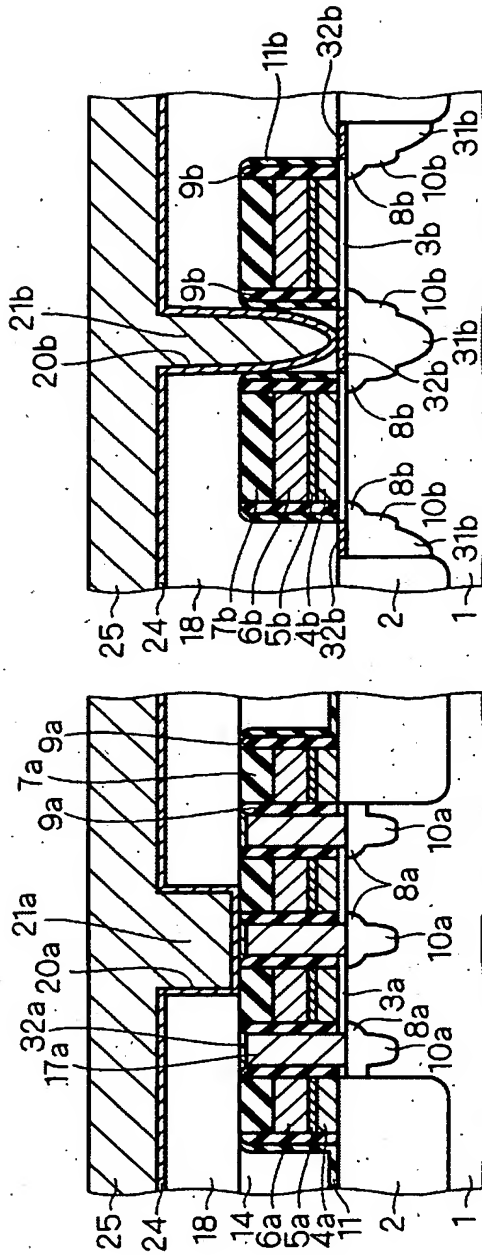
【図15】



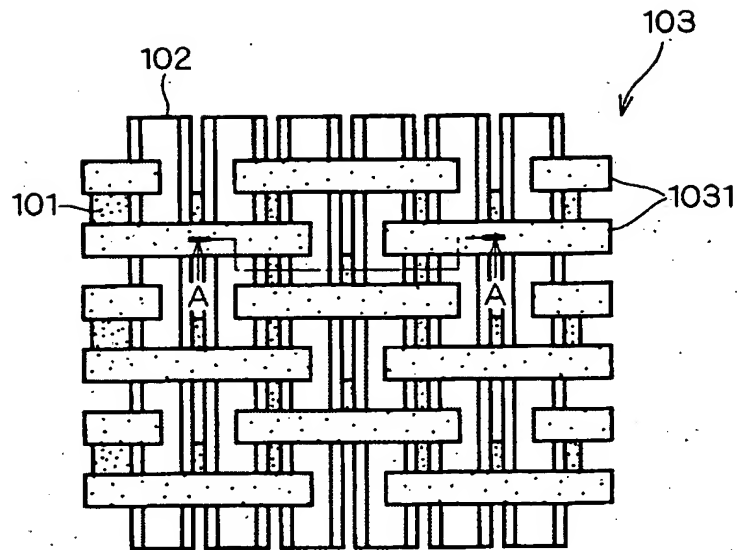
【図16】

メモリセル部

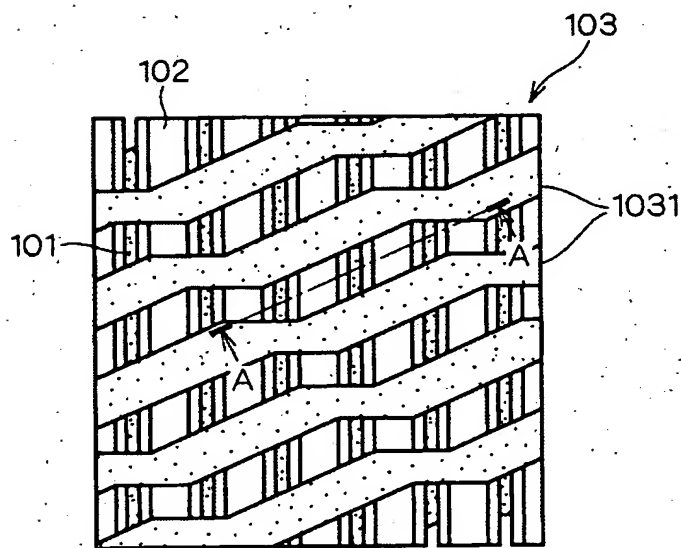
周辺回路部



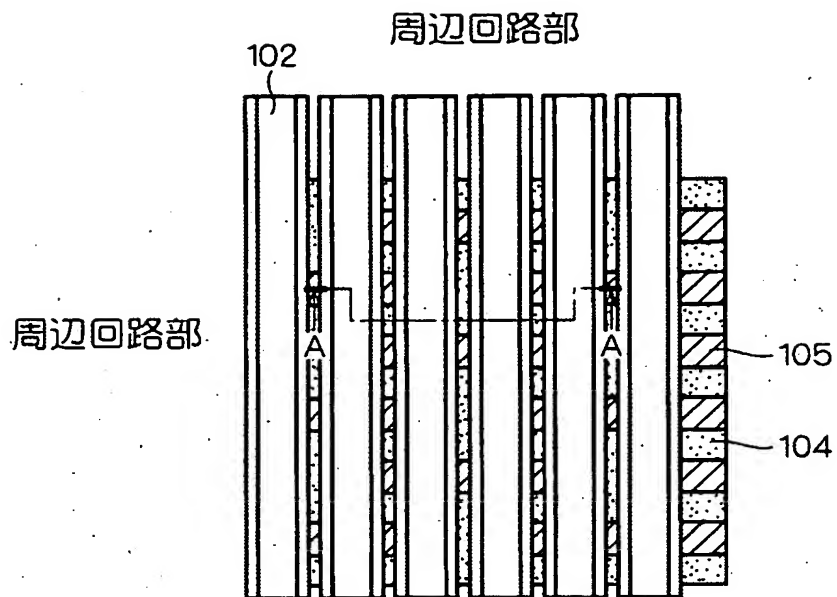
【図 1 7】



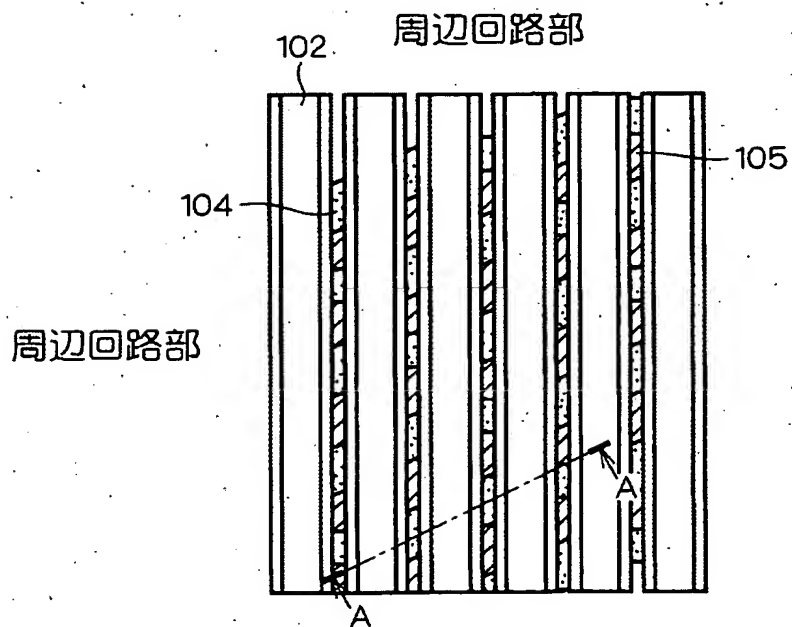
【図 1 8】



【図 19】



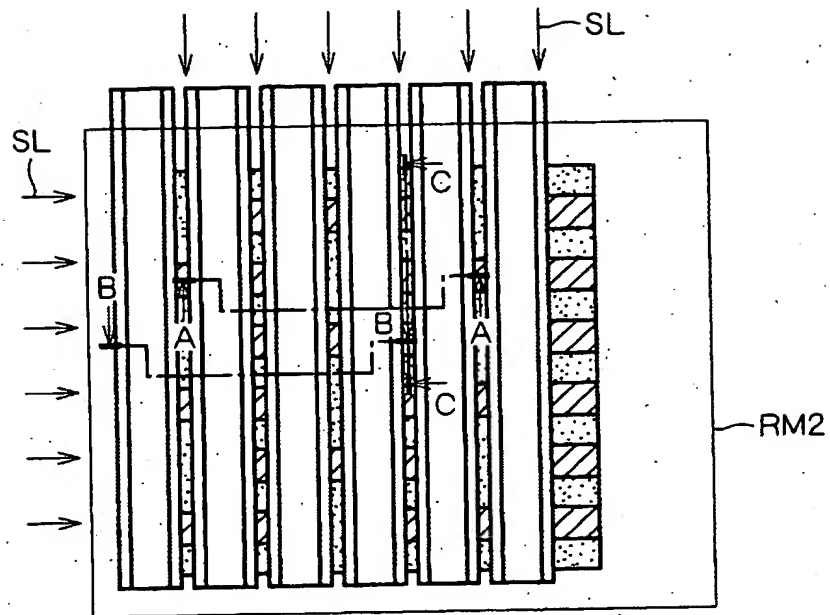
【図 20】



【図 21】

周辺回路部

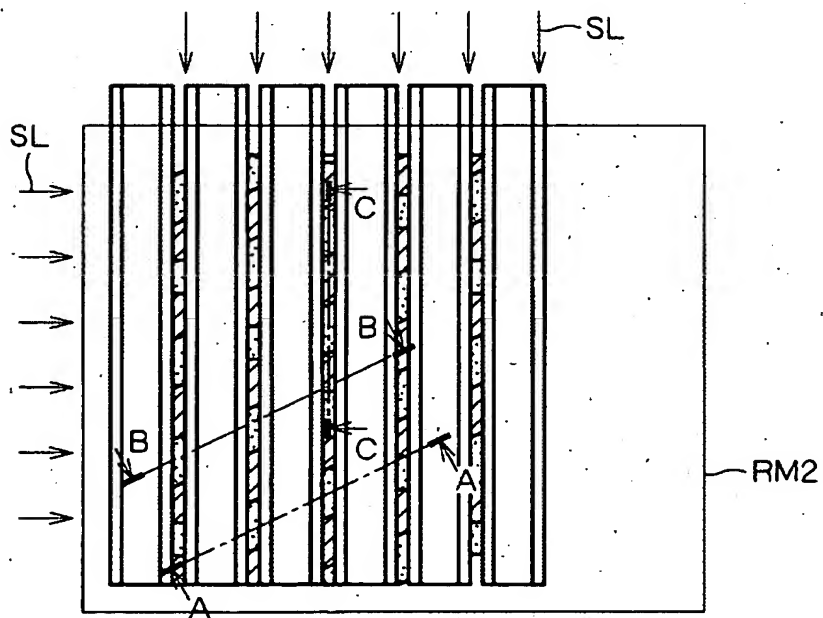
周辺回路部



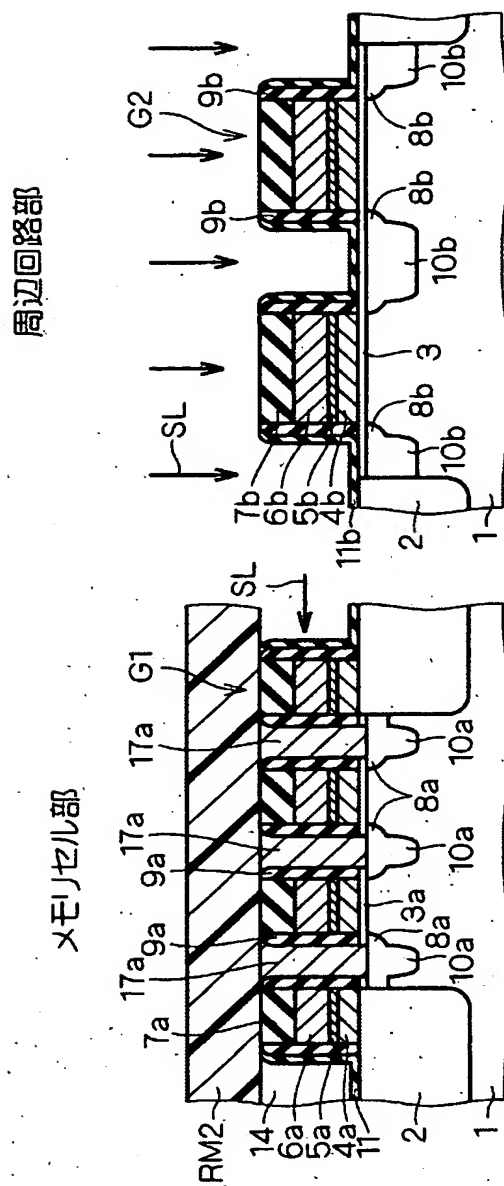
【図 22】

周辺回路部

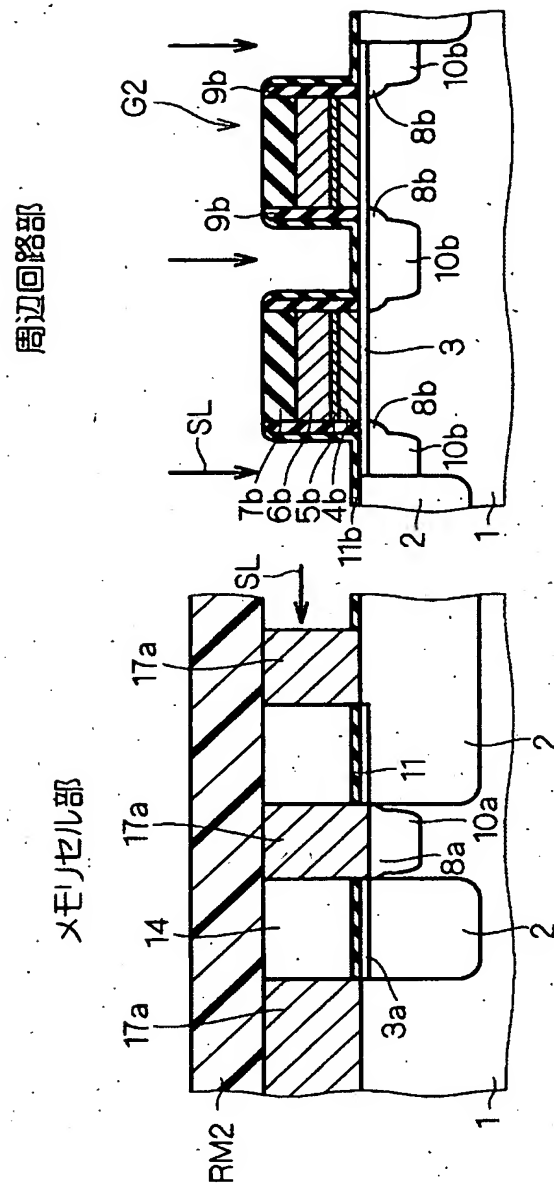
周辺回路部



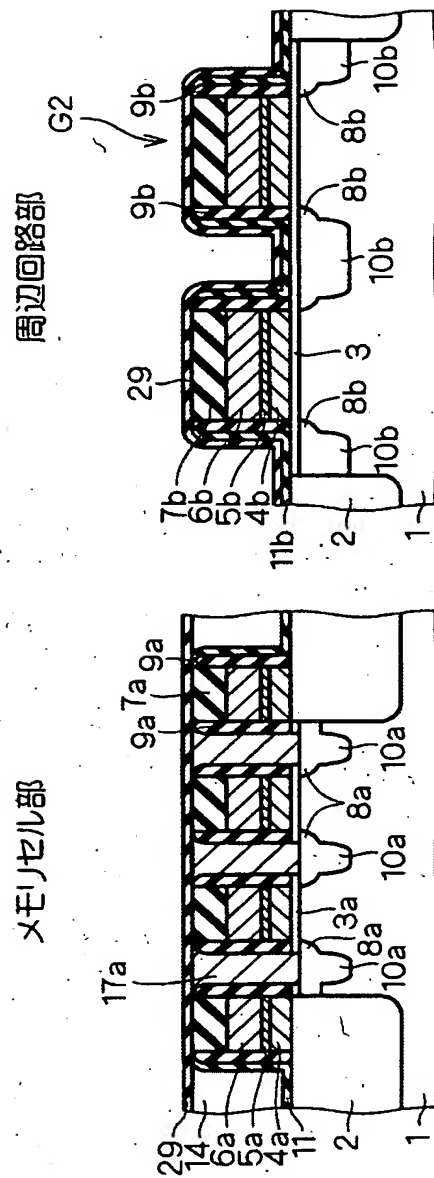
【図 23】



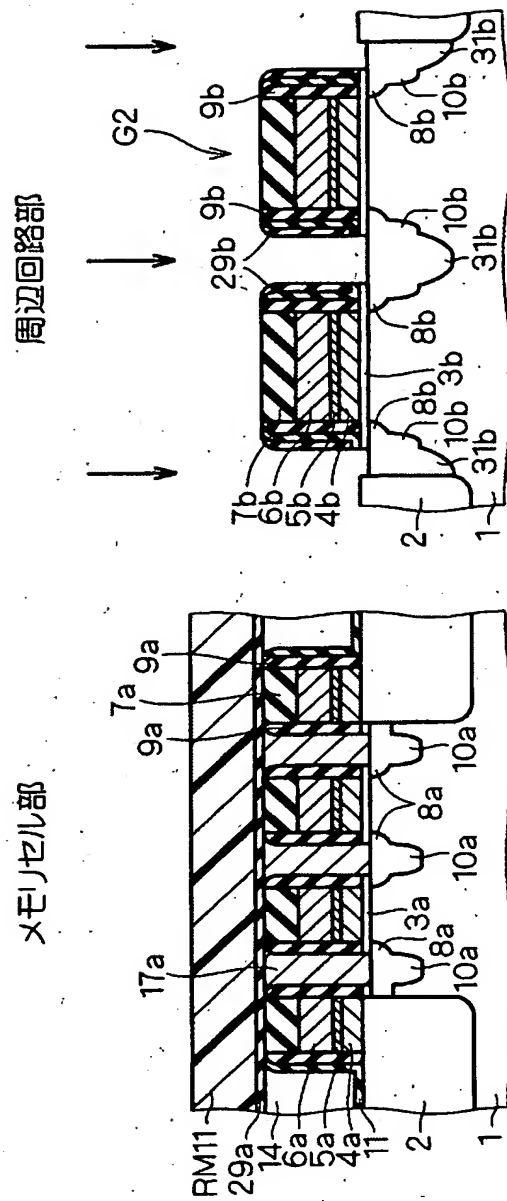
【図 24】



【圖 25】

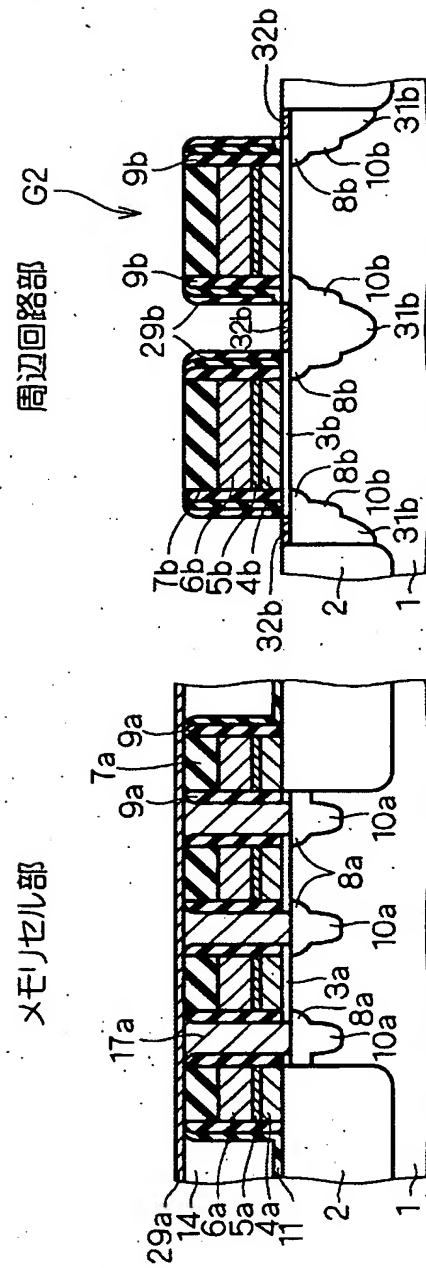


【図 26】

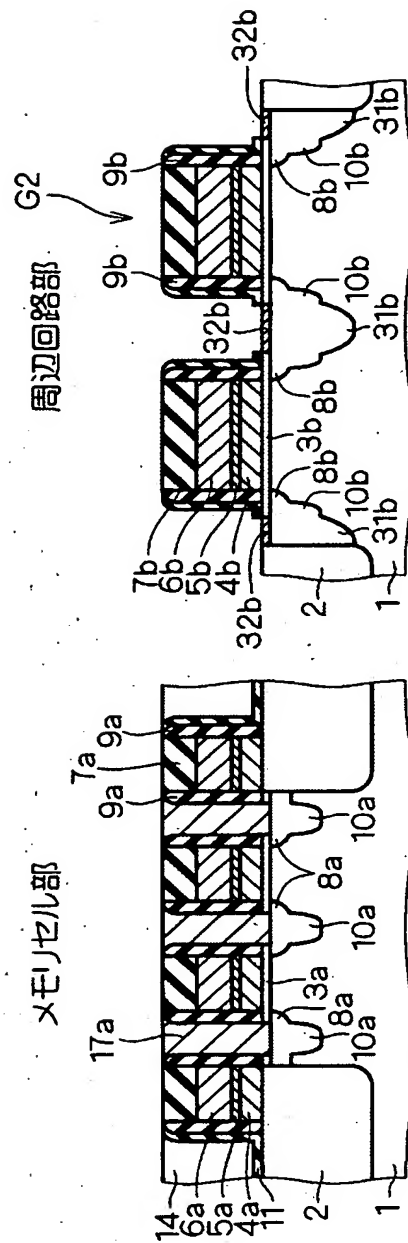


29b : サイドウォール酸化膜

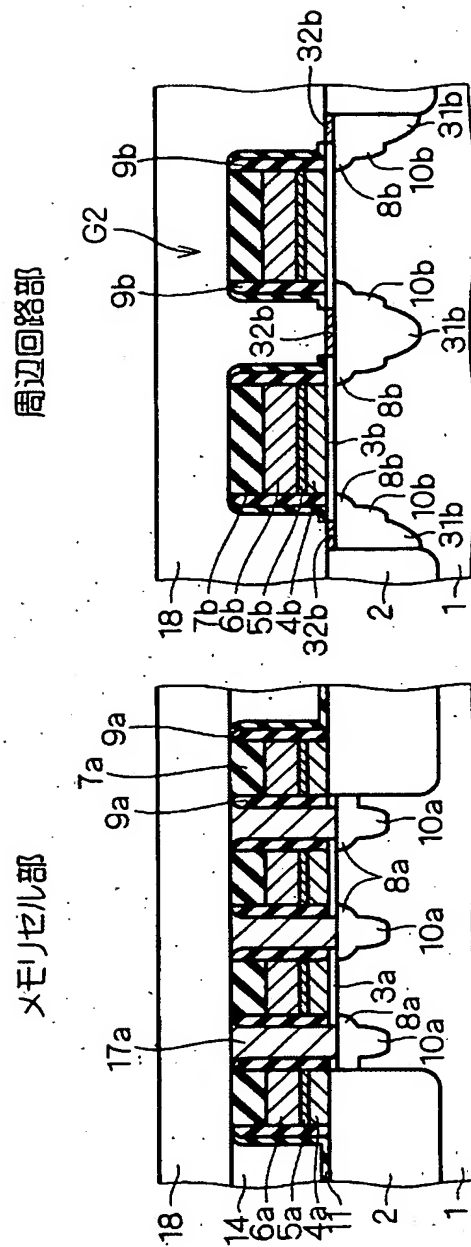
【図 27】



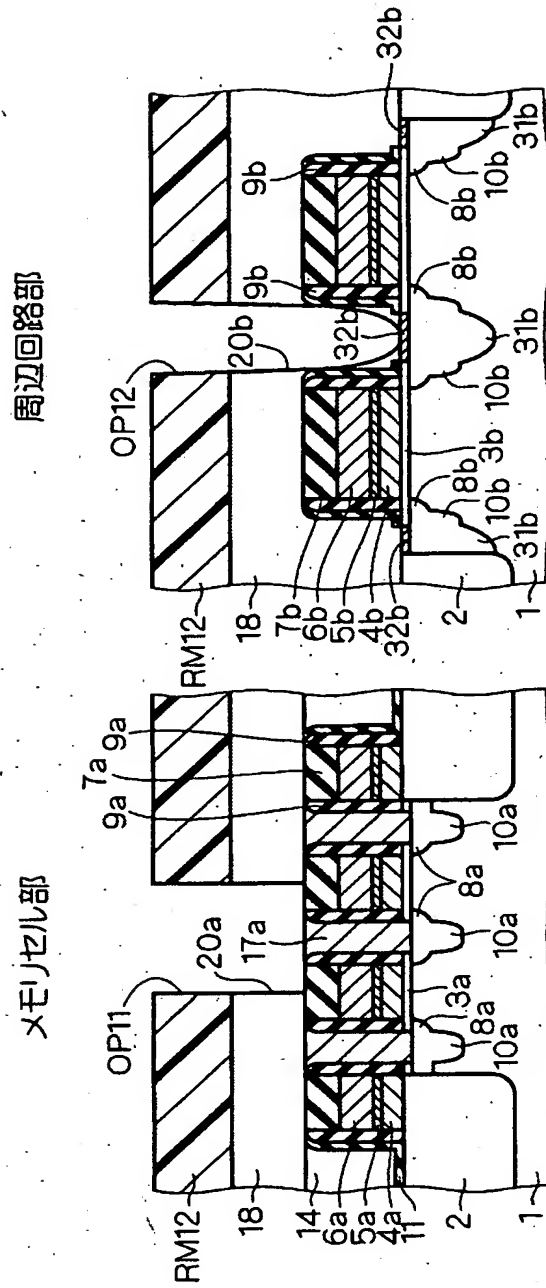
【图 28】



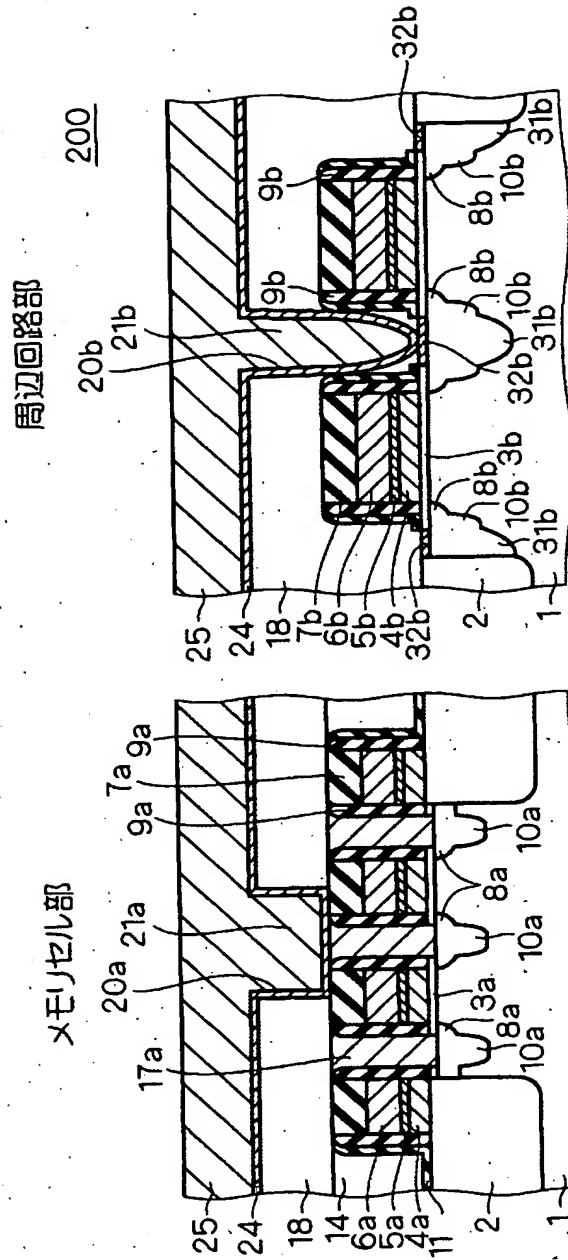
【圖 29】



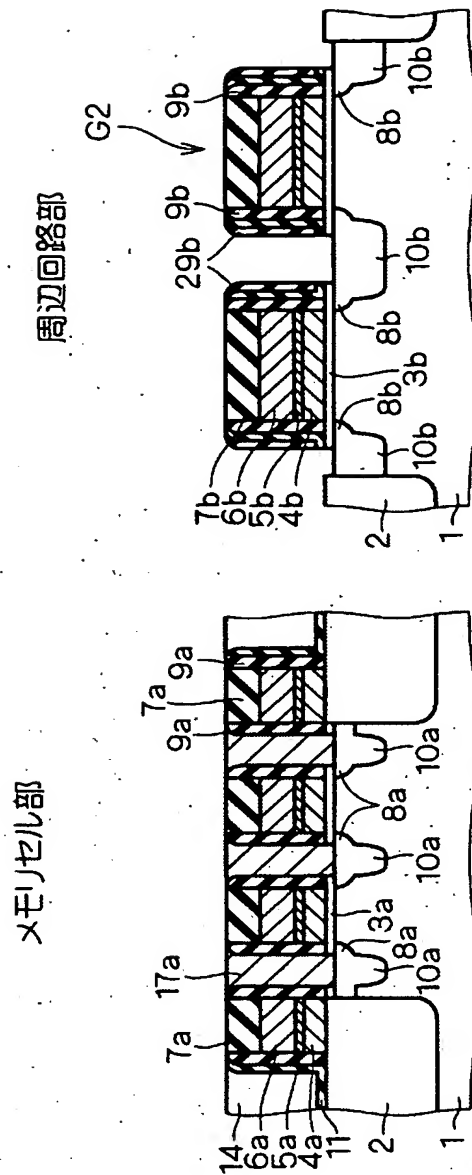
【図 30】



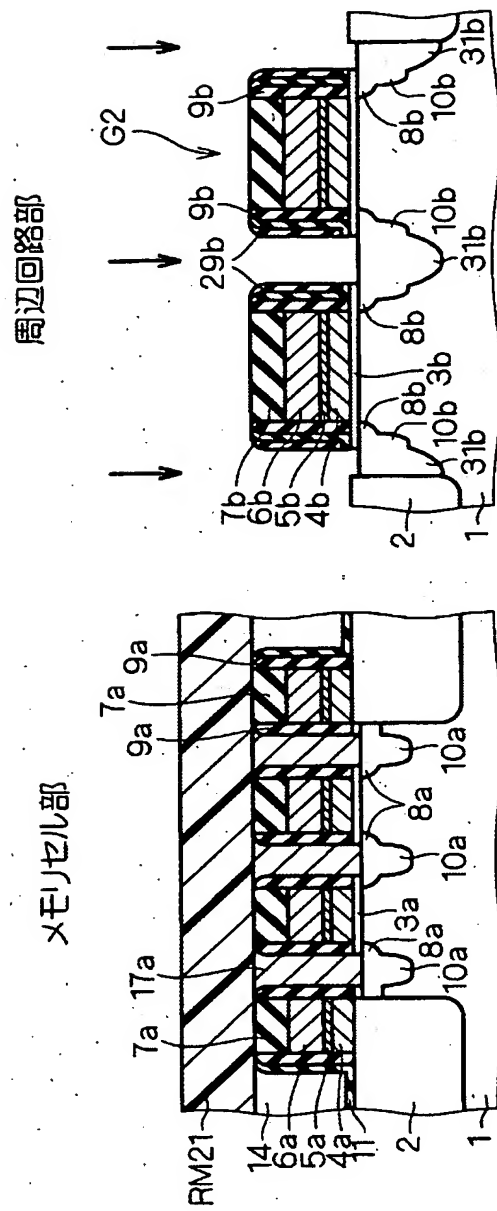
【図 31】



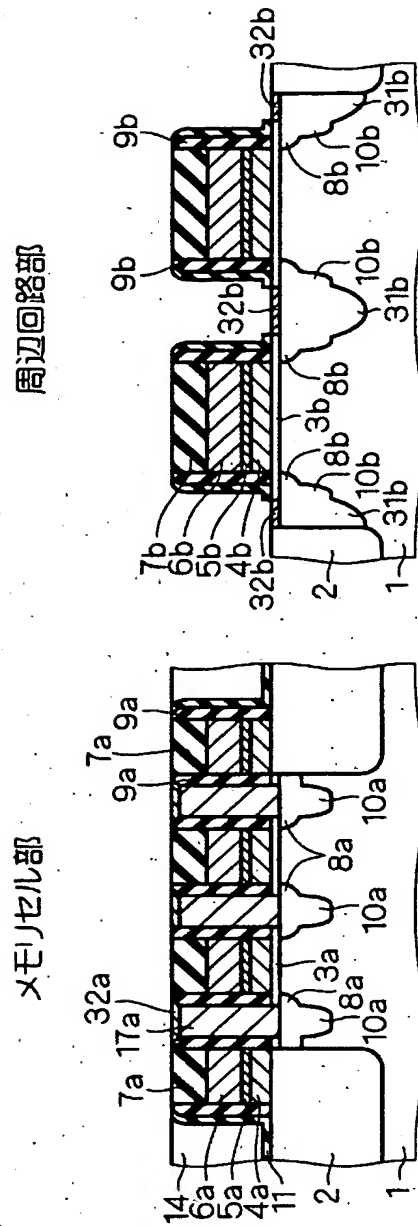
【図 32】



【図 33】



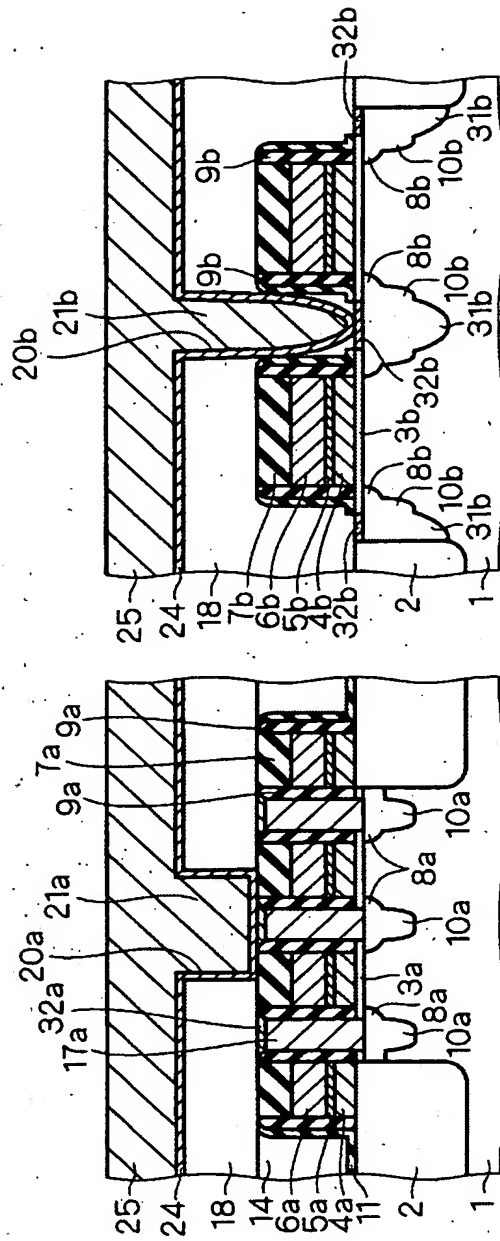
【図 3 4】



【図 35】

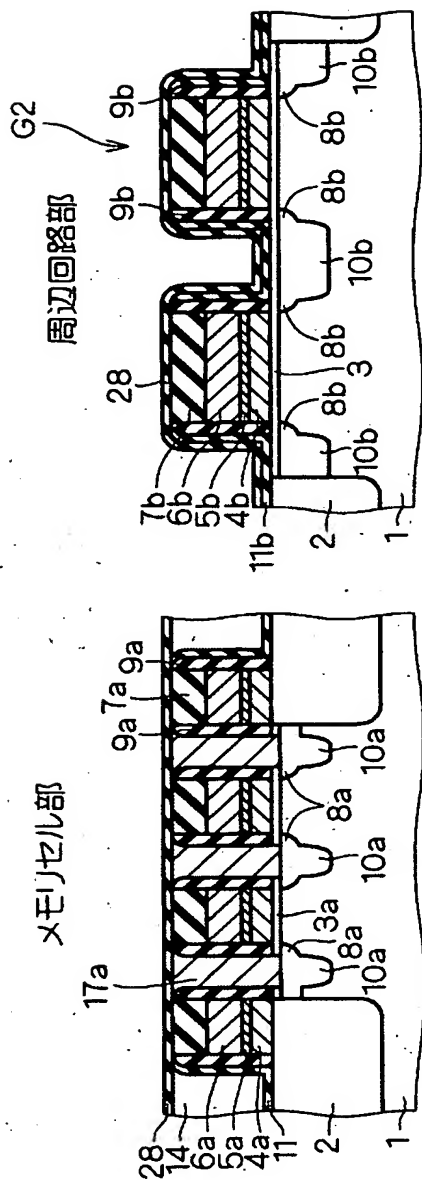
300

周辺回路部

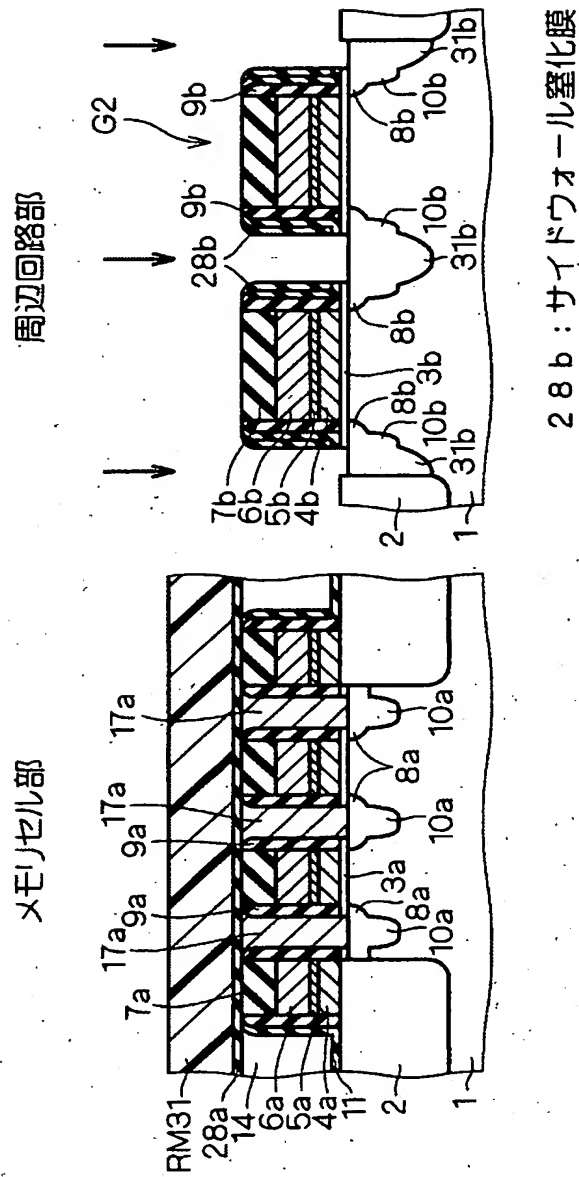


メモリセル部

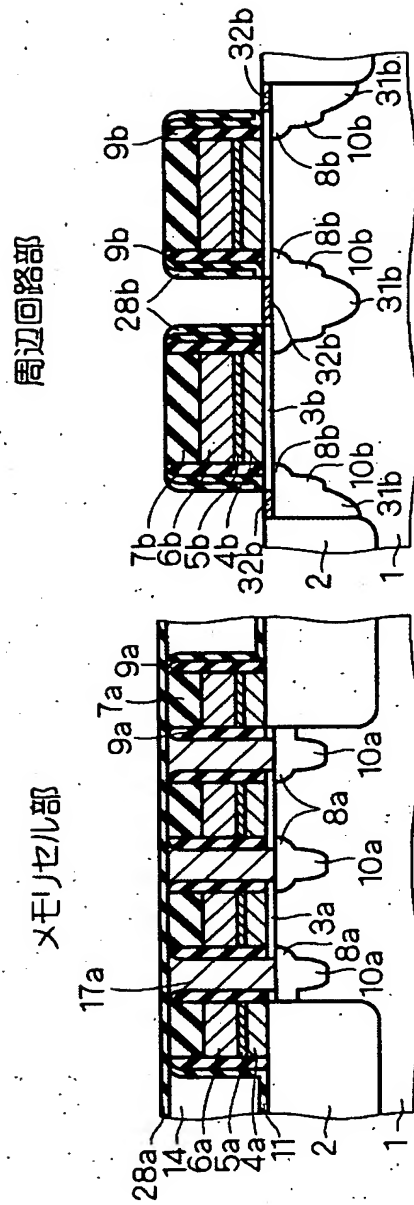
【図 36】



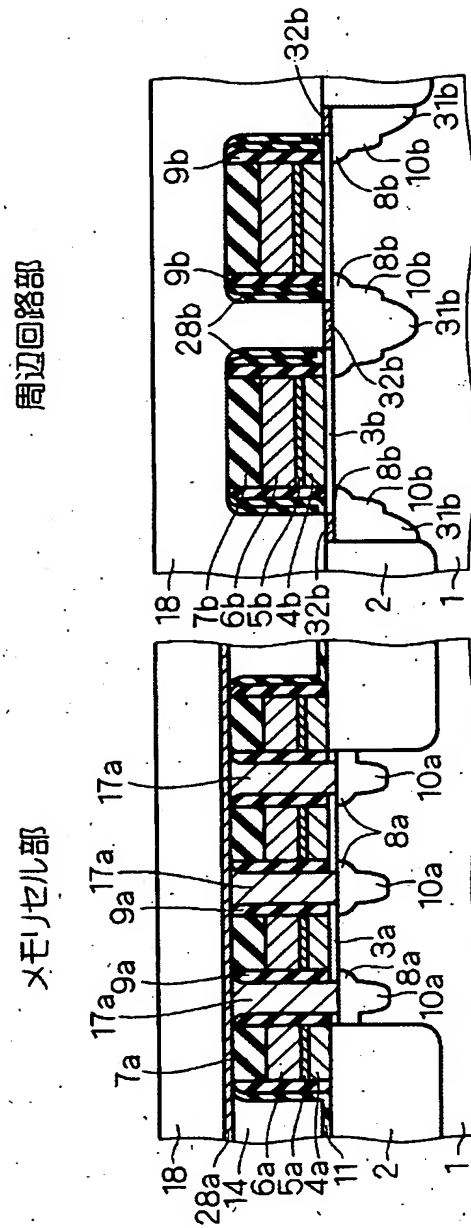
【図 37】



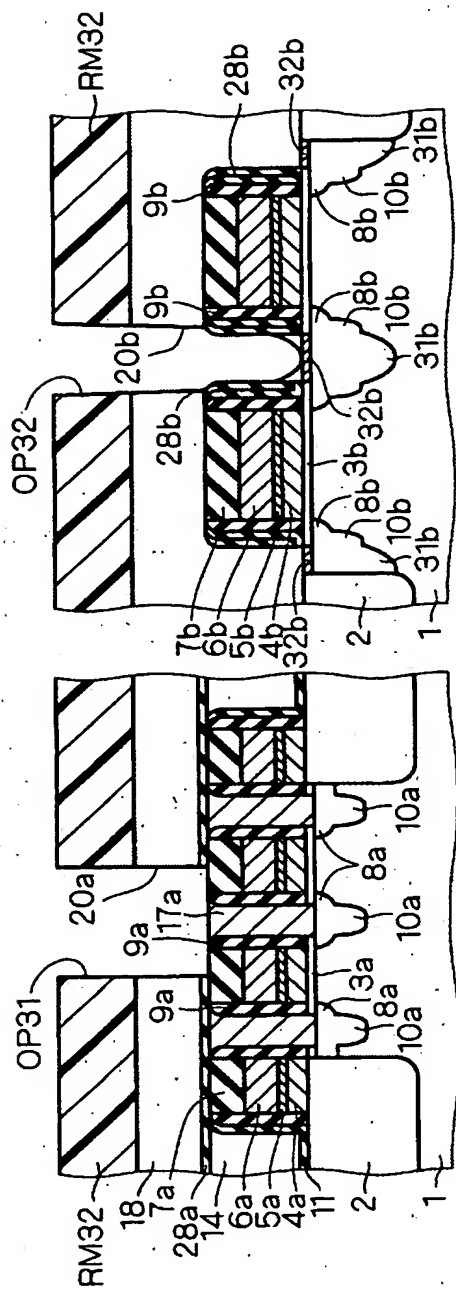
【図 38】



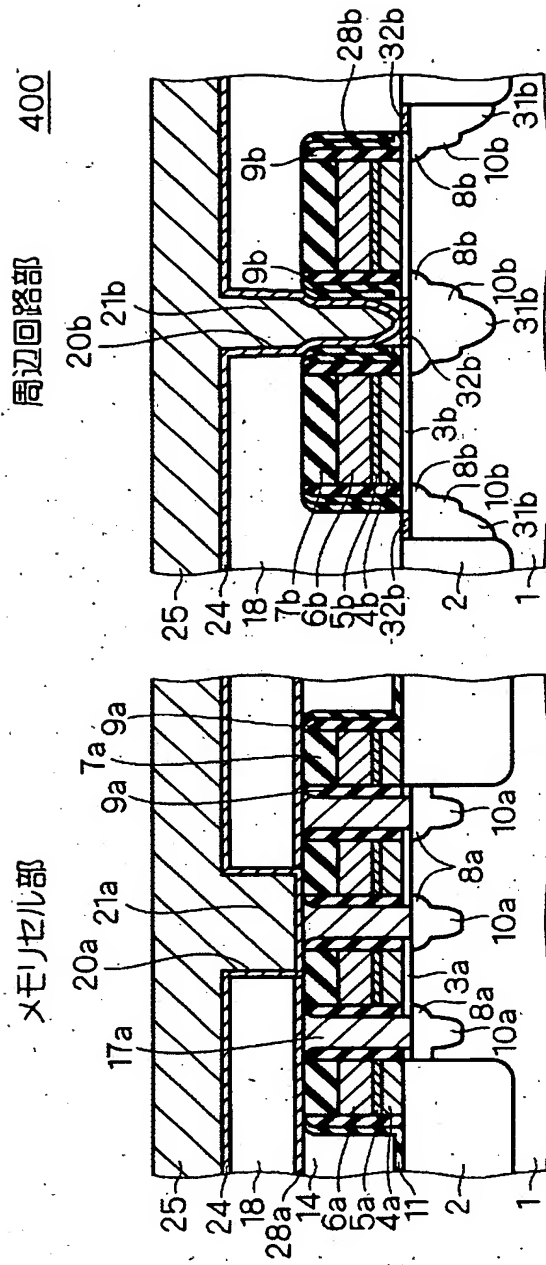
【図 39】



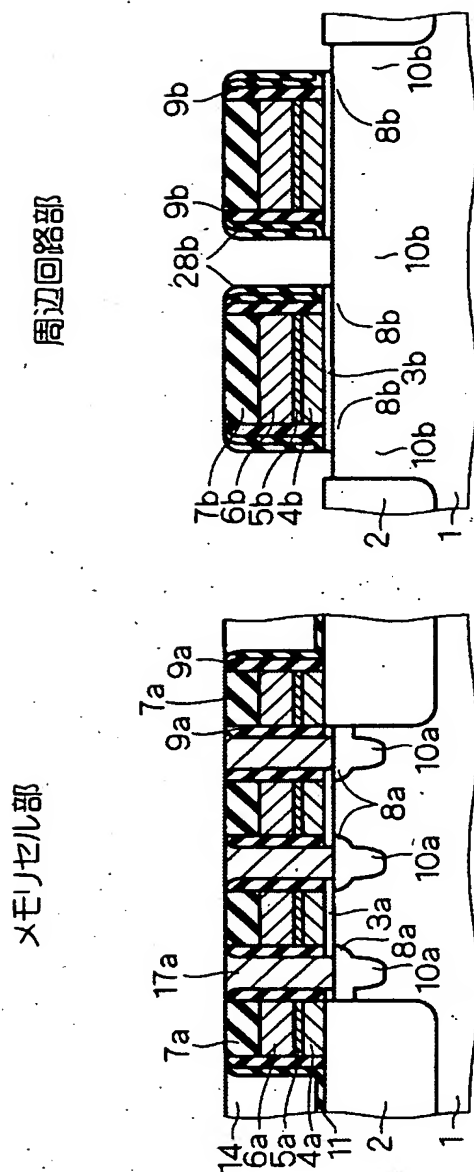
【図 40】



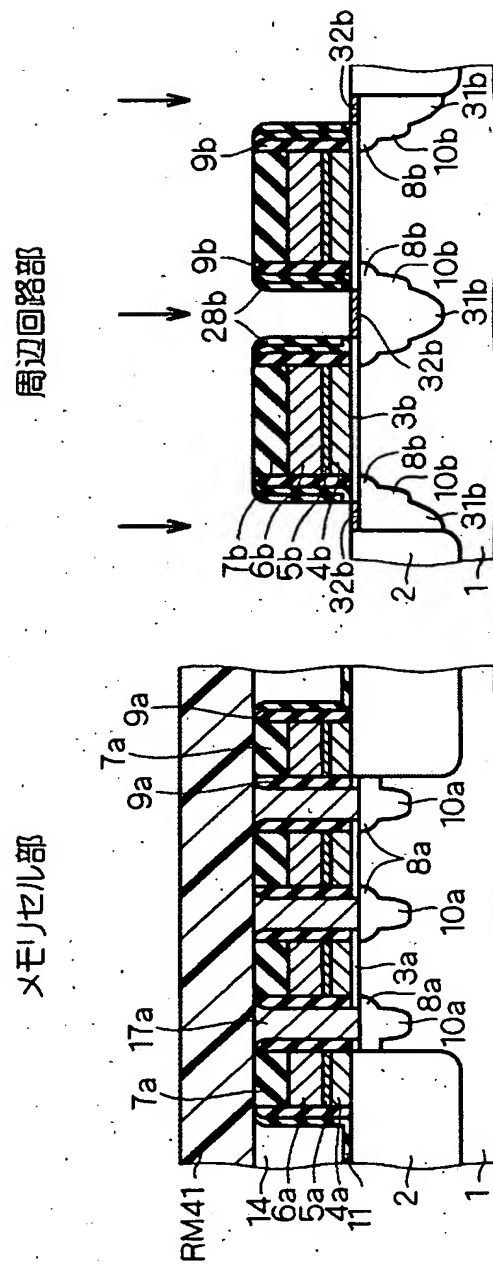
【図 41】



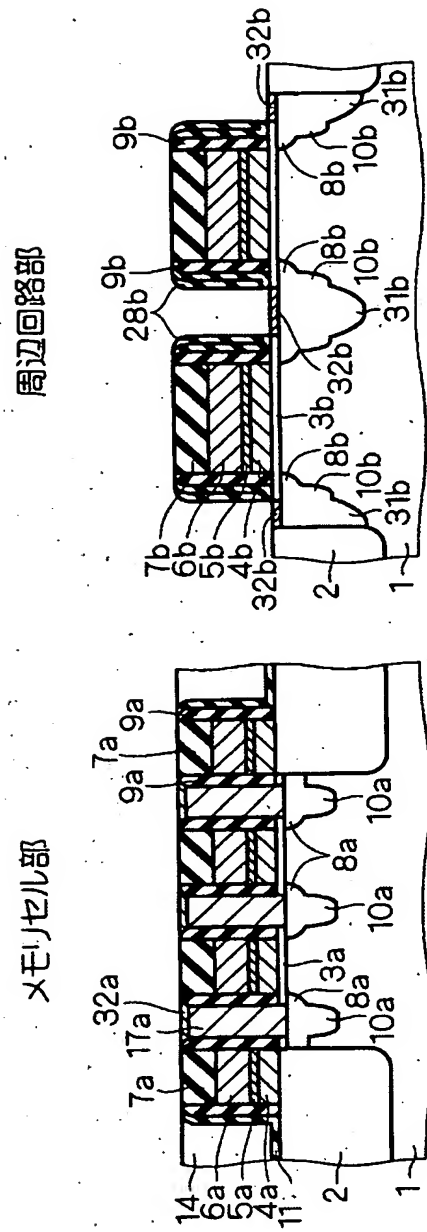
【図 4 2】



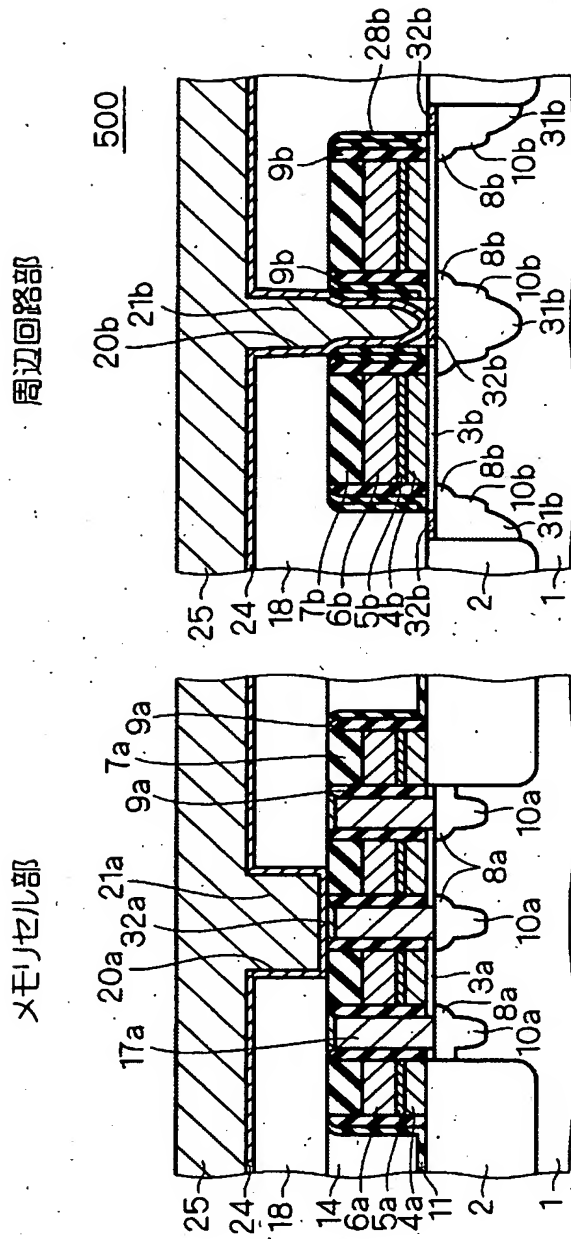
【図 4 3】



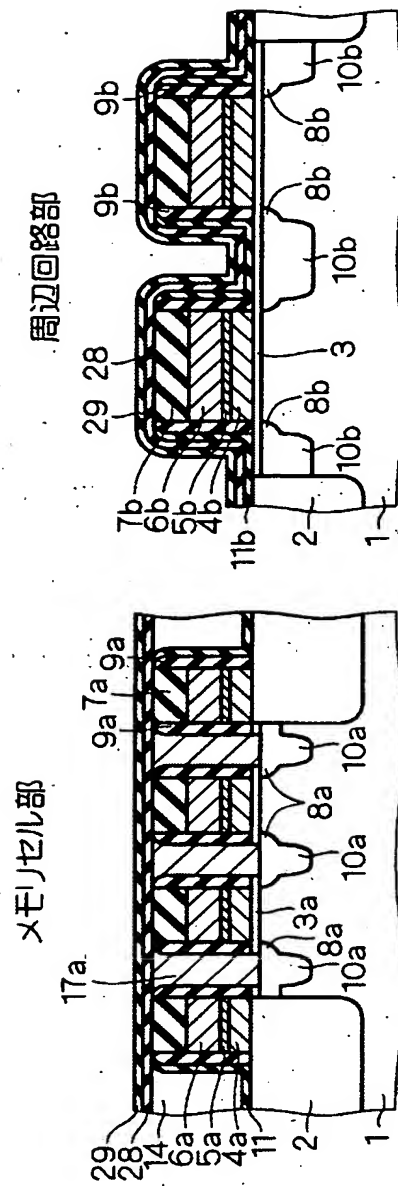
【図44】



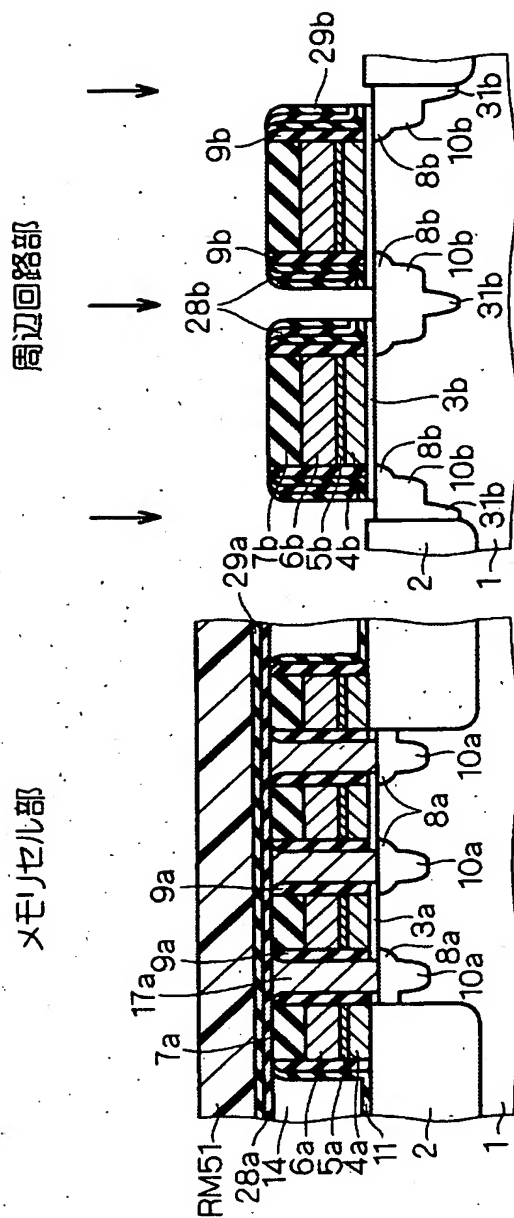
【図 4 5】



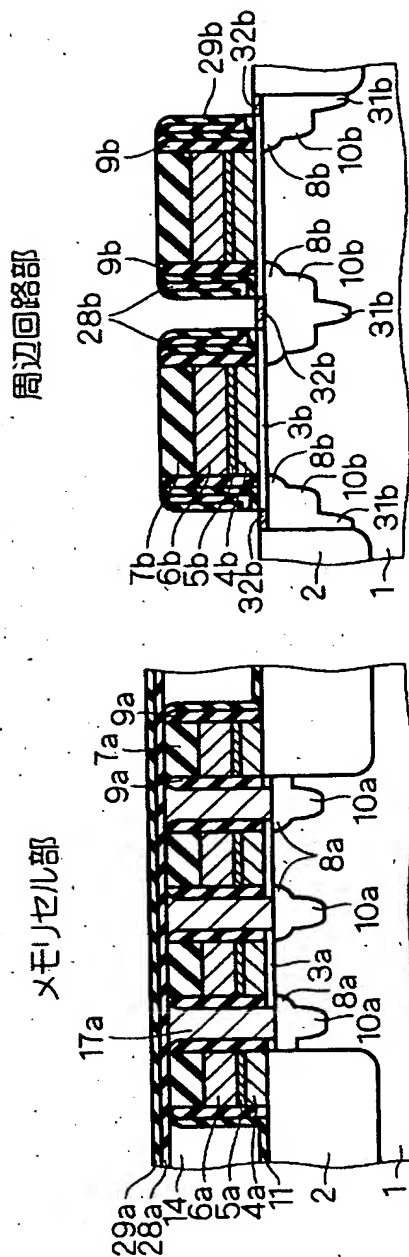
【図 4-6】



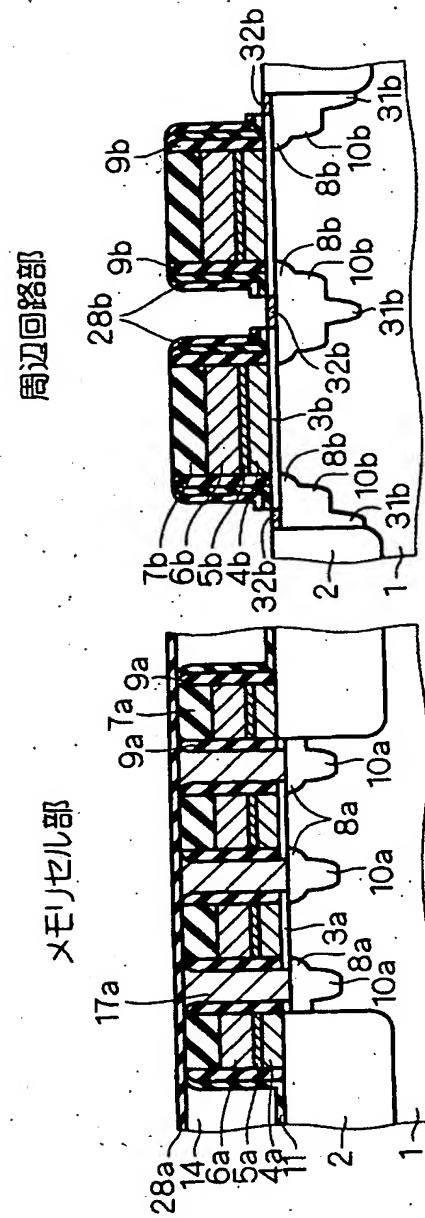
【図 47】



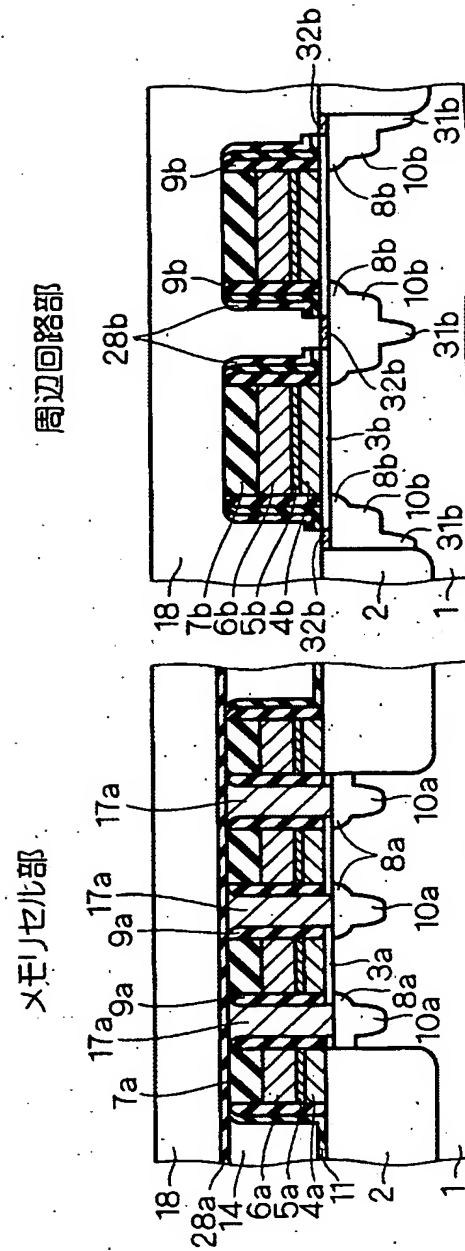
【図 48】



【図 49】



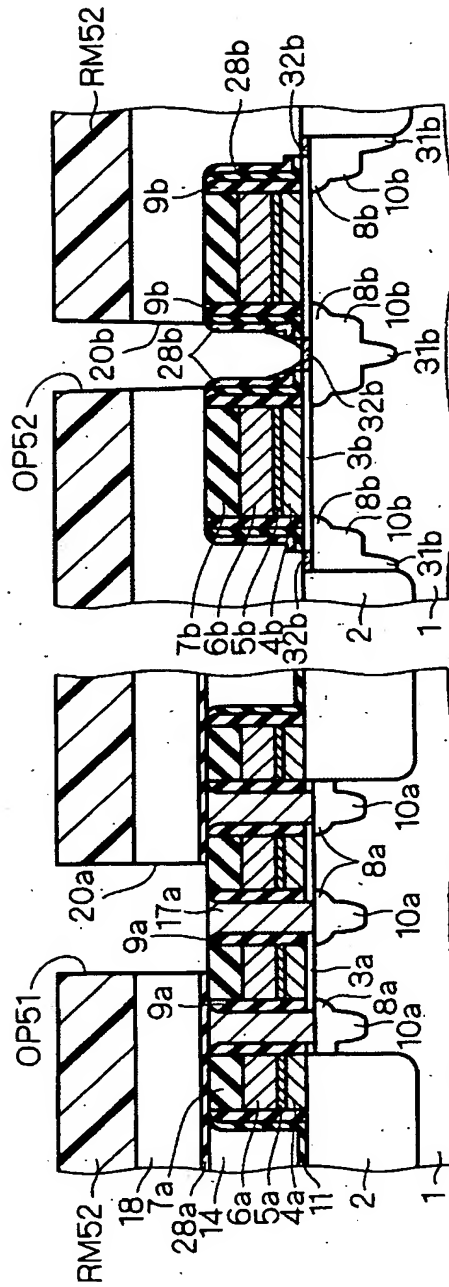
【図 50】



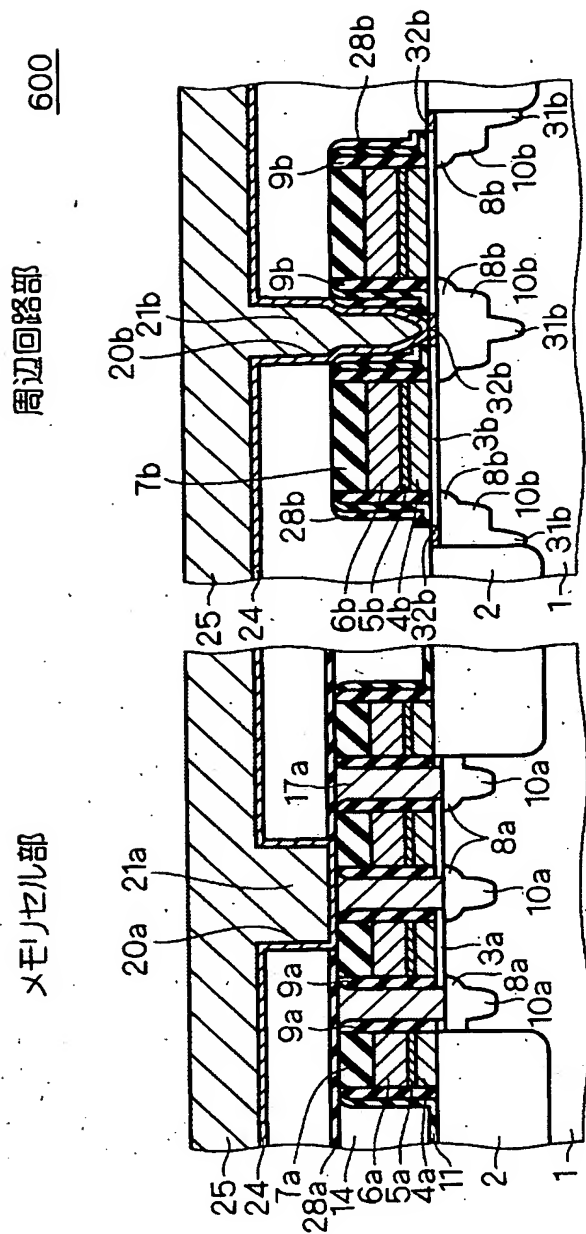
【図 51】

周辺回路部

メモリセル部



【図 52】



【書類名】 要約書

【要約】

【課題】 メモリセル部および周辺回路部を有する半導体装置において、周辺回路部のトランジスタのパンチスルーマージンの減少を抑制するとともに、ショートマージンの確保および電流駆動能力を向上した半導体装置を提供する。

【解決手段】 層間絶縁膜 1 4 の形成後の埋め込み特性向上のために行う高温（8 0 0 °C ～ 1 0 0 0 °C）の熱処理の後であって、かつ、メモリセル部におけるコンタクトプラグ 1 7 a の形成後のリフレッシュ特性向上のために行う高温（8 0 0 °C ～ 1 0 0 0 °C）の熱処理の後、異方性ドライエッチングにより、周辺回路部の半導体基板 1 上に形成されたシリコン酸化膜 3 および絶縁膜 1 1 を除去して、絶縁膜 1 1 をサイドウォール窒化膜 9 の側面にサイドウォール絶縁膜 1 1 b として残す。そして当該ゲート配線 G 2 を注入マスクとして不純物のイオン注入を行い、周辺回路部においてソース・ドレイン領域 3 1 b を形成する。

【選択図】 図 1 3

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ